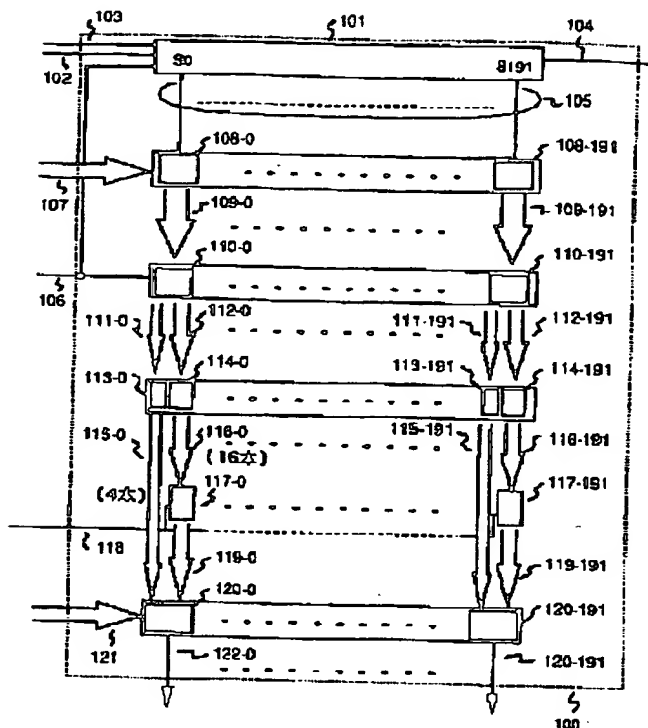


Patent Abstracts of Japan

PUBLICATION NUMBER : 06348236
 PUBLICATION DATE : 22-12-94
 APPLICATION DATE : 09-07-93
 APPLICATION NUMBER : 05170647
 APPLICANT : HITACHI LTD;
 INVENTOR : FUTAMI TOSHIO;
 INT.CL. : G09G 3/36 G02F 1/133 G02F 1/133
 G09G 3/20
 TITLE : LIQUID CRYSTAL DISPLAY DEVICE



ABSTRACT : PURPOSE: To shorten charging/discharging time in the case of dividing a voltage by a voltage dividing circuit and driving a liquid crystal by the divided voltages.

CONSTITUTION: This liquid crystal display device has the voltage dividing circuits 120 which divide n-pieces of the voltages 121 supplied from a power source for liquid crystal display to m-pieces of the voltages ($n < m$) corresponding to display data and gate circuits 117 which correct and output signals 116 corresponding to the display data so as to select circuits having the time constants not exceeding the time constants of the circuits for outputting the voltages corresponding to the display data from the circuits for supplying m-pieces of the divided voltages in a first period according to control signals 118 for instructing the output of the first voltage in the first period in one horizontal scanning period and instructing the output of the second voltage and output the signals 116 as they are in the second period. The voltage dividing circuits 120 are inputted with the signals 119 outputted by the gate circuits 117 and output the voltages by selecting the voltages.

COPYRIGHT: (C)1994,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-348236

(43) 公開日 平成6年(1994)12月22日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 2 0	9226-2K		
	5 7 5	9226-2K		
G 0 9 G 3/20		K 9176-5G		

審査請求 未請求 請求項の数20 O L (全 44 頁)

(21) 出願番号 特願平5-170647

(22) 出願日 平成5年(1993)7月9日

(31) 優先権主張番号 特願平4-268908

(32) 優先日 平4(1992)10月7日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平5-89686

(32) 優先日 平5(1993)4月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 新田 博幸

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所マイクロエレクトロニク

ス機器開発研究所内

(72) 発明者 古橋 勉

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所マイクロエレクトロニク

ス機器開発研究所内

(74) 代理人 弁理士 富田 和子

最終頁に続く

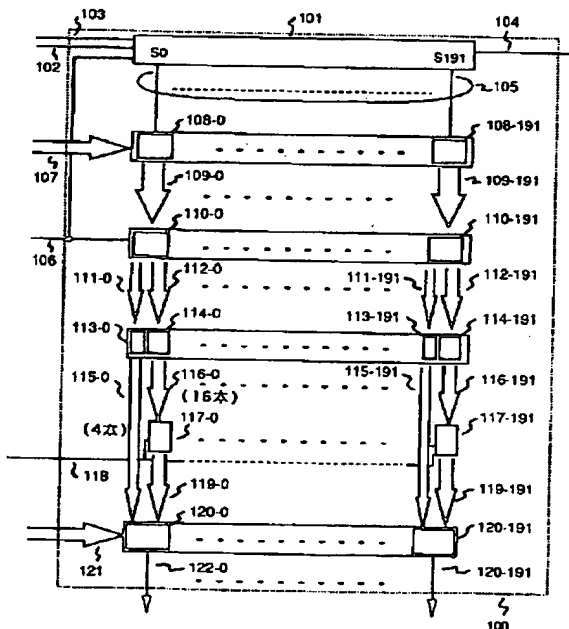
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【目的】 分圧回路で電圧を分圧し、分圧された電圧で液晶を駆動する場合に、充電/放電時間を短縮する。

【構成】 液晶表示用電源から供給される n 個の電圧 121 を表示データに対応した m 個の電圧 ($n < m$) に分圧する分圧回路 120 と、1 水平走査期間のうち、第 1 の期間は、第 1 の電圧を出力することを指示し、後続する第 2 の期間は、第 2 の電圧を出力することを指示する制御信号 118 に応じて、第 1 の期間は、上記分圧された m 個の電圧を供給する回路のうちから、表示データに対応した電圧を出力する回路の時定数を超えない時定数を有する回路を選択するように表示データに対応した信号 116 を修正して出力し、第 2 の期間は、上記信号 116 をそのまま出力するゲート回路 117 とを有し、分圧回路 120 は、上記ゲート回路 117 が出力する信号 119 を入力されて、電圧を選択して出力する。

X 駆動回路の簡単なブロック図 (図 1)



【特許請求の範囲】

【請求項1】液晶パネルと、

電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、

表示データを入力されて、表示データに対応した電圧を出力するX駆動回路と、

上記Y駆動回路およびX駆動回路に電圧を供給し、X駆動回路にはn個の電圧を供給する液晶表示用電源とを有し、階調表示を行う液晶表示装置において、

1水平走査期間のうち、第1の期間は、後記する第2の電圧を供給する回路よりも時定数の少ない回路から供給される電圧を第1の電圧として出力することを指示し、第1の期間に続く第2の期間は、第2の電圧を出力することを指示する時間信号を上記X駆動回路に出力する制御信号生成回路を有し、

上記X駆動回路は、

上記液晶表示用電源から供給されるn個の電圧を表示データに対応したm個の電圧($n < m$)に分圧する分圧回路と、

表示データに対応した信号と、上記時間信号とを入力されて、第1の期間は、上記分圧されたm個の電圧を供給する回路のうちから、表示データに対応した電圧を出力する回路の時定数を超えない時定数を有する回路を選択するように上記表示データに対応した信号を修正して出力し、第2の期間は、上記入力された表示データに対応した信号を出力する信号修正回路と、

上記信号修正回路が出力する表示データに対応した信号を入力されて、上記m個の電圧のうちから上記表示データに対応した信号に従って、電圧を選択して出力する選択回路とを有し、

上記X駆動回路は、上記時間信号を受けて、第1の電圧および第2の電圧を出力することを特徴とする液晶表示装置。

【請求項2】液晶パネルと、

電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、

表示データを入力されて、表示データに対応した電圧を出力するX駆動回路と、

上記Y駆動回路およびX駆動回路に電圧を供給し、X駆動回路にはn個の電圧を供給する液晶表示用電源とを有し、階調表示を行う液晶表示装置において、

1水平走査期間のうち、第1の期間は、後記する第2の電圧を供給する回路よりも時定数の少ない回路から供給される電圧を第1の電圧として出力することを指示し、第1の期間に続く第2の期間は、第2の電圧を出力することを指示する時間信号を上記X駆動回路に出力する制御信号生成回路と、

上記液晶表示用電源から供給されるn個の電圧を表示データに対応したm個の電圧($n < m$)に分圧する分圧回路と、

表示データに対応した信号を入力されて、上記m個の電圧のうちから上記表示データに対応した信号に従って、電圧を選択して出力する選択回路と、

上記時間信号を入力されて、第1の期間は、上記選択回路の出力を抑止して換わりに、上記分圧されたm個の電圧を供給する回路のうちから、表示データに対応した電圧を出力する回路の時定数を超えない時定数を有する回路を選択して出力し、第2の期間は、上記選択回路の出力を抑止しない出力修正回路とを備え、

上記時間信号を受けて、第1の電圧および第2の電圧を出力することを特徴とするX駆動回路。

【請求項3】液晶パネルと、電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、表示データを入力されて、表示データに対応した電圧を出力するX駆動回路と、上記Y駆動回路およびX駆動回路に電圧を供給し、X駆動回路にはn個の電圧を供給する液晶表示用電源と、1水平走査期間のうち、第1の期間は、後記する第2の電圧を供給する回路よりも時定数の少ない回路から供給される電圧を第1の電圧として出力することを指示し、第1の期間に続く第2の期間は、第2の電圧を出力することを指示する時間信号を上記X駆動回路に出力する制御信号生成回路とを有し、階調表示を行う液晶表示装置に使われるX駆動回路であって、上記液晶表示用電源から供給されるn個の電圧を表示データに対応したm個の電圧($n < m$)に分圧する分圧回路と、

表示データに対応した信号と、上記時間信号とを入力されて、第1の期間は、上記分圧されたm個の電圧を供給する回路のうちから、表示データに対応した電圧を出力する回路の時定数を超えない時定数を有する回路を選択するように上記表示データに対応した信号を修正して出力し、第2の期間は、上記入力された表示データに対応した信号を出力する信号修正回路と、

上記信号修正回路が出力する表示データに対応した信号を入力されて、上記m個の電圧のうちから上記表示データに対応した信号に従って、電圧を選択して出力する選択回路とを有し、

上記時間信号を受けて、第1の電圧および第2の電圧を出力することを特徴とするX駆動回路。

【請求項4】請求項3記載のX駆動回路において、上記第1の電圧は、上記液晶表示用電源から供給されるn個の電圧のうちのいずれかであることを特徴とするX駆動回路。

【請求項5】請求項3または4記載のX駆動回路において、

表示データを入力されて、上記m個の電圧のうちから表示データに対応した第2の電圧を選択するためのデコード信号を生成するデコード回路を有し、

上記信号修正回路は、上記時間信号を受けて、上記デコード回路の出力を、第1の期間は、あらかじめ定められ

たデコード信号とし、第2の期間は、表示データに対応したデコード信号とするデコード信号変更回路であり、上記選択回路は、上記変更後のデコード信号を受けて、電圧を出力することを特徴とするX駆動回路。

【請求項6】請求項3または4記載のX駆動回路において、

表示データを入力されて、上記m個の電圧のうちから表示データに対応した第2の電圧を選択するためのデコード信号を生成するデコード回路を有し、

上記信号修正回路は、上記デコード回路の前段に設けられ、上記時間信号を受けて、上記デコード回路の入力を、第1の期間は、あらかじめ定められた表示データとし、第2の期間は、入力された表示データとする表示データ変更回路であり、

上記デコード回路は、上記変更後の表示データを受けて、表示データに対応した第2の電圧を選択するためのデコード信号を生成することを特徴とするX駆動回路。

【請求項7】請求項3または4記載のX駆動回路において、

複数ビットを有する表示データを入力されて、上記m個の電圧のうちから表示データに対応した第2の電圧を選択するためのデコード信号を生成するデコード回路を有し、

上記信号修正回路は、第1の電圧として、表示データのうちの特定ビットに対応した電圧を出力するように、上記表示データに対応した信号を修正することを特徴とするX駆動回路。

【請求項8】請求項3、4、5、6または7記載のX駆動回路と、

液晶パネルと、

電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、

上記Y駆動回路およびX駆動回路に電圧を供給する液晶表示用電源と、

上記時間信号を上記X駆動回路に出力する制御信号生成回路とを有し、表示を行うことを特徴とする液晶表示装置。

【請求項9】請求項8記載の液晶表示装置を有することを特徴とする情報処理装置。

【請求項10】液晶パネルに表示する表示データを入力されて、表示データに対応した電圧を出力するX駆動回路において、

外部から供給されるn個の電圧を上記表示データに対応したm個($n < m$)の電圧に分圧する分圧回路を有し、上記分圧回路は、

n個の異なる電圧を入力されて、入力されたn個の電圧の中から二つの電圧を選択して出力する第1の選択回路と、

上記表示データにより、上記第1の選択回路を制御して、2つの電圧を選択させる第1の制御回路と、

上記選択された電圧を複数の電圧に分圧して出力することまたは入力された電圧を出力することができる出力回路と、

上記分圧された複数の電圧または入力された電圧のうちのいずれかを選択して出力する第2の選択回路と、

外部からのまたは内部で生成した電圧選択指示により、上記第2の選択回路を制御して、上記表示データに対応した上記分圧された複数の電圧、または入力された電圧のうちのいずれかから、出力すべき電圧を選択させる第2の制御回路とを有し、

上記電圧選択指示は、第1の期間においては、第1の選択回路により選択された2つの電圧のうち高い方を選択する指示であり、第1の期間に続く第2の期間においては、表示データに対応する分圧された電圧を選択する指示であることを特徴とするX駆動回路。

【請求項11】請求項10記載のX駆動回路において、上記表示データに対応した複数の出力線を備え、上記表示データに応じて上記複数の出力線のうちのいずれかを選択して、選択された出力線に該出力線が選択されたことを示す信号を出力するデコーダと、

上記電圧選択指示を受けて、上記第2の期間において、上記デコーダの出力を上記第2の制御回路に出力するゲート回路とを有することを特徴とするX駆動回路。

【請求項12】請求項10記載のX駆動回路において、上記表示データを受付けるラッチ回路と、

上記ラッチ回路の出力する表示データに対応した複数の出力線を備え、上記表示データに応じて上記複数の出力線のうちのいずれかを選択して、選択された出力線に該出力線が選択されたことを示す信号を出力するデコーダと、

上記ラッチ回路と上記デコーダとの間に介在し、上記ラッチ回路の出力のうち下位ビットを入力され、上記電圧選択指示を受けて、上記第1の期間においては、予め定められたデータを出力し、上記第2の期間においては、上記入力された下位ビットを出力するゲート回路とを有することを特徴とするX駆動回路。

【請求項13】請求項10記載のX駆動回路において、上記表示データのうち上位ビットに対応した複数の出力線を備え、上記上位ビットに応じて上記複数の出力線のうちのいずれかを選択して、選択された出力線に該出力線が選択されたことを示す信号を出力する上位ビットデコーダと、

上記表示データのうち下位ビットに対応した複数の出力線を備え、上記下位ビットに応じて上記複数の出力線のうちのいずれかを選択して、選択された出力線に該出力線が選択されたことを示す信号を出力する下位ビットデコーダとを有し、

上記下位ビットデコーダは、上記電圧選択指示を受けて、上記第1の期間においては、予め定められたデータを出力し、上記第2の期間においては、上記入力された

10

20

30

40

50

下位ビットに応じた信号を出力することを特徴とするX駆動回路。

【請求項14】請求項10、11、12または13記載のX駆動回路と、

液晶パネルと、

電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、

上記Y駆動回路およびX駆動回路に電圧を供給する液晶表示用電源と、

上記電圧選択指示を上記X駆動回路に出力する制御信号生成回路とを有し、表示を行うことを特徴とする液晶表示装置。

【請求項15】液晶パネルに表示する表示データを入力されて、上記表示データに対応したm個の液晶駆動用電圧に変換して出力するX駆動回路において、

外部から供給されるn個の電圧を上記表示データに対応したm個（ $n < m$ ）の電圧に分圧する分圧回路を有し、上記分圧回路は、

n個の異なる電圧を入力されて、入力されたn個の電圧の中から二つの電圧を選択して出力する第1の選択回路と、

上記表示データにより、上記第1の選択回路を制御し

て、2つの電圧を選択させる第1の制御回路と、

上記選択された電圧が両端に輸入され、複数の抵抗素子が直列に接続され、入力された電圧を複数の電圧に分圧して出力することまたは入力された電圧を出力することができる抵抗回路と、

上記分圧された複数の電圧または入力された電圧のうちのいずれかを選択して出力する第2の選択回路と、

外部からの電圧選択指示により、上記第2の選択回路を制御して、上記表示データに対応した上記分圧された複数の電圧、または入力された電圧のうちのいずれかから、出力すべき電圧を選択させる第2の制御回路とを有することを特徴とするX駆動回路。

【請求項16】請求項15記載のX駆動回路において、上記第1の選択回路で選択される二つの電圧の差により決まるオフセット電圧の大きさが、予め定められた値よりも小さいことを特徴とするX駆動回路。

【請求項17】請求項15または16記載のX駆動回路において、

外部から供給されるn個の電圧のうち最大のものは、上記X駆動回路の電源電圧と同一であることを特徴とするX駆動回路。

【請求項18】請求項15、16または17記載のX駆動回路において、

上記分圧回路を複数有し、これらは並列に接続され、

外部から供給されるn個の電圧は、上記並列に接続された分圧回路の両端から入力されることを特徴とするX駆動回路。

【請求項19】複数個の、請求項15、16、17また

は18記載のX駆動回路と、

上記X駆動回路により電圧を印加される表示パネルと、上記電圧選択指示を出力する制御信号生成回路とを有することを特徴とする液晶表示装置。

【請求項20】請求項19記載の液晶表示装置を有することを特徴とする情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多階調もしくは多色表示が可能な液晶表示装置に関わり、特に、液晶表示装置のX駆動回路に関する。

【0002】

【従来の技術】多階調を行う液晶表示装置の液晶駆動回路としては、特開平2-130586号公報「液晶ディスプレイ駆動装置」に示される方式がある。この方式を図47、図48を用いて説明する。図47は、従来方式のX駆動回路のブロック図、図48は従来方式の分圧回路のブロック図である。

【0003】図47において、1601はシフトレジスタ、1602はクロック、1603はシフトレジスタの出力バス、1604は256階調の表示データに対応する8ビットの表示データバス、1605はX+1個のラッチで構成されるラッチ回路、1606はラッチ回路1605の出力バスである。シフトレジスタ1601は、クロック1602に同期して出力S0からSXまでを1出力ずつ順次クロック1602の1周期分の期間有効にし、出力バス1603に出力する。表示データバス1604には、クロック1602に同期して表示データが伝播している。ラッチ回路1605において、出力バス1603が有効になると、有効になった出力S0からSXに対応したラッチ回路1605内のラッチが表示データバス1604から表示データをラッチする。ラッチした表示データはラッチデータとして出力バス1606に出力する。

【0004】1607は水平同期信号に同期したクロック、1608はラッチ回路、1609はラッチデータの上位4ビットの出力バス、1610はラッチデータの下位4ビットの表示データの出力バスである。ラッチ回路1608は、クロック1607が有効になると出力バス1606で転送されるラッチデータをラッチし、そのラッチデータのうち、上位4ビットを出力バス1609から出力し、下位4ビットを出力バス1610から出力する。

【0005】1611は17レベルの電圧を供給する電圧バス、1612は電圧バス1611の17レベルの電圧のうち2レベルを選択する電圧セクタ、1613は電圧セクタ1612の出力バス、1614は分圧回路、1615は分圧回路1614の出力バス、1616はバッファ回路、1617はバッファ回路1616の出力線である。

【0006】電圧セクタ1612は、出力バス1609のラッチデータに対応した電圧のうち2レベル電圧を選択し、出力バス1613に出力する。分圧回路1614は、出力バス1613から供給される2レベルの電圧を16レベルの電圧に分圧する。さらに、出力バス1610のラッチデータに対応した電圧を、分圧した16レベルの電圧から選択し、出力バス1615に出力する。分圧回路1614の出力バス1615は、出力インピーダンスが大きいので、そのままでは液晶を高速に駆動することが出来ない。このためバッファ回路1616を設け、出力バス1615の電圧を増幅し、出力線1617に出力する。この出力線1617は液晶素子に接続されている。このようにすることで、表示データに対応した電圧を液晶素子に印加することができる。

【0007】図48において、1701、1702は電圧セクタ1612で選択された高電位選択電圧、低電位選択電圧、1704は選択素子群、1705は重みづけされた分圧抵抗群、1706は表示データ1610を反転する反転回路群、1707は1706で反転された反転データである。

【0008】図47、図48を用いて動作の説明をする。

【0009】ラッチ回路1605は、シフトレジスタ1601出力が有効になると表示データバス1604の8ビットの表示データをラッチし、そのラッチした表示データをラッチデータとして出力バス1606に出力する。クロック1607が有効になると、ラッチ回路1608は出力バス1606のラッチデータをラッチする。ラッチ回路1608は、ラッチしたラッチデータのうち、上位4ビットを出力バス1609、下位4ビットを出力バス1610に出力する。出力バス1609は、電圧セクタ1612に inputs し、そのラッチデータに対応した電圧を電圧バス1611から2レベル選択し、出力バス1613に出力する。

【0010】次に図48を用いて分圧回路の動作の説明をする。出力バス1613は高電位側選択電圧1701と低電位側選択電圧1702で構成され、直列に接続した*

【数2】

$$V_{out} = \frac{8R+4R+\frac{2R \cdot R_{ON}}{2R+R_{ON}}+\frac{R \cdot R_{ON}}{R+R_{ON}}}{R+\frac{8R \cdot R_{ON}}{8R+R_{ON}}+\frac{4R \cdot R_{ON}}{4R+R_{ON}}+2R+R+8R+4R+\frac{2R \cdot R_{ON}}{2R+R_{ON}}+\frac{R \cdot R_{ON}}{R+R_{ON}}} (VU-VL)+VL$$

【0016】となり、理想的な分圧電圧と差が生じる。これを小さくするためには、分圧抵抗素子の値を大きくしなければいけない。また、分圧抵抗素子を直列に接続しているため分圧数を増やすと出力インピーダンスが大きくなってしまふ。出力インピーダンスが大きいときに、液晶パネルを高速に駆動するためには、出力インピーダンスを下げるために出力段にバッファ回路を設ける

* 分圧抵抗群1705の両端に接続される。出力バス1610からの下位4ビットの表示データの値により選択素子群1704が選択され高電位側選択電圧1701と低電位側選択電圧1702の電位差を16分圧し、出力バス1615に出力する。例えば、下位4ビット表示データ1610が“0011”の場合、反転回路1706で反転された反転データ1707は“1100”となり選択素子群1704の対応する選択素子が導通状態になるため、出力バス1615には、 $V_L + (V_U - V_L) \times 3/16$ の電圧が出力される。

【0011】そして、出力バス1615に出力した電圧は、バッファ回路1616で液晶素子が駆動できるように増幅され、出力線1617に出力し、液晶素子に表示データに対応した電圧を印加する。

【0012】

【発明が解決しようする課題】上記従来回路では、スイッチング素子と分圧抵抗素子が並列に接続する構成となっているためスイッチング素子のオン抵抗の影響を小さくするためには分圧抵抗素子の値を大きくしなければならず出力インピーダンスが大きくなってしまふ。これを図8により説明する。図8において、SWL0, 1, SWR2, 3がONであり、その他はOFFであるとする。この時にスイッチング素子が理想的であるとする（すなわち、ON抵抗 $R_{ON}=0$ ）、この時の出力電圧は、

【0013】

【数1】

【数1】

$$V_{out} = \frac{8R+4R}{R+2R+R+8R+4R} (VU-VL)+VL$$

$$= \frac{12R}{16R} (VU-VL)+VL = \frac{3}{4} (VU-VL)+VL$$

【0014】となる。実際には、

【0015】

【数2】

必要がある。そこで、従来技術では、出力部にバッファ回路を備えており、このバッファ回路で液晶を駆動できるようにしている。しかし、多階調/多色化が進むにつれ各階調間の電圧差が小さくなり、バッファ回路に精度が求められるようになった。バッファ回路の精度を上げるには、補正回路や外部からの補正電圧が必要になり、そのため入力ピン数の増加や補正電圧生成回路などが必

要になり、回路規模が増大するという問題が生じる。

【0017】また、バッファ回路を用いないとすると、上述の問題に加えて以下の問題がある。すなわち、分圧回路の出力を直接液晶素子に出力するには、応答性を良くするために、(コンデンサとみなせる液晶に所定の電圧を早く印加するために、)出力電流を大きくしなければならない。出力電流を大きくするためには、分圧回路の出力インピーダンスを下げなければならない。そのため、分圧手段として抵抗を用いた場合、分圧回路の出力抵抗を下げるには分圧抵抗の値を下げる必要があるが、分圧抵抗の値を下げると、上述の分圧抵抗を大きくしなければいけないという要求に合致しないうえに、分圧の精度が悪くなる。更に、消費電力が増大する等の問題がある。

【0018】本発明の第1の目的は、バッファ回路を用いないで応答性を良くできるX駆動回路を提供することである。

【0019】また、上記従来回路では、液晶パネルを高速に駆動するために、出力段にバッファ回路を設けているが、このため、液晶パネルの階調数が増えると1階調当たりの電圧幅が狭くなり、バッファ回路のオフセット電圧のばらつきをより小さくする必要がある。しかし、精度の良いバッファ回路にするためには、前述のように補正回路の増加や素子サイズが増大し、液晶駆動回路のチップ面積が増加する。ここで、オフセット電圧とは、配線抵抗や素子の特性の、標準値からのばらつき等により生じる標準値のときの出力電圧と実際の出力電圧との差である。オフセット電圧が大きくなり、出力電圧のばらつきが大きくなると表示むらが発生し表示品質が悪くなる。人間が認識できる表示むらは、液晶により異なるが、一般に30mV~50mVの電圧差で輝度差(表示むら)が認識できる。本発明の第2の目的は、バッファ回路を用いないでオフセット電圧のばらつきをより小さくできるX駆動回路を提供することである。

【0020】また、上記従来回路では、バッファ回路の動作電圧幅は電源電圧幅に対して約-1.5V狭くなるため、出力電圧幅は液晶駆動回路の電源電圧幅に対して約-1.5V狭くなる点が考慮されていない。本発明の第3の目的は、電源電圧幅を有効に用いたX駆動回路を提供することである。

【0021】

【問題を解決する手段】上記第1の課題を解決するため、本発明は、液晶パネルと、電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、表示データを入力されて、表示データに対応した電圧を出力するX駆動回路と、上記Y駆動回路およびX駆動回路に電圧を供給し、X駆動回路にはn個の電圧を供給する液晶表示用電源とを有し、階調表示を行う液晶表示装置において、1水平走査期間のうち、第1の期間は、後記する第2の電圧を供給する回路よりも時定数の

少ない回路から供給される電圧を第1の電圧として出力することを指示し、第1の期間に続く第2の期間は、第2の電圧を出力することを指示する時間信号を上記X駆動回路に出力する制御信号生成回路を有し、上記X駆動回路は、上記液晶表示用電源から供給されるn個の電圧を表示データに対応したm個の電圧($n < m$)に分圧する分圧回路と、表示データに対応した信号と、上記時間信号とを入力されて、第1の期間は、上記分圧されたm個の電圧を供給する回路のうちから、表示データに対応した電圧を出力する回路の時定数を越えない時定数を有する回路を選択するように上記表示データに対応した信号を修正して出力し、第2の期間は、上記入力された表示データに対応した信号を出力する信号修正回路と、上記信号修正回路が出力する表示データに対応した信号を入力されて、上記m個の電圧のうちから上記表示データに対応した信号に従って、電圧を選択して出力する選択回路とを有し、上記X駆動回路は、上記時間信号を受けて、第1の電圧および第2の電圧を出力することとしたものである。

【0022】また、液晶パネルに表示する表示データを入力されて、表示データに対応した電圧を出力するX駆動回路において、外部から供給されるn個の電圧を上記表示データに対応したm個($n < m$)の電圧に分圧する分圧回路を有し、上記分圧回路は、n個の異なる電圧を入力されて、入力されたn個の電圧の中から二つの電圧を選択して出力する第1の選択回路と、上記表示データにより、上記第1の選択回路を制御して、2つの電圧を選択させる第1の制御回路と、上記選択された電圧を複数の電圧に分圧して出力することまたは入力された電圧を出力することができる出力回路と、上記分圧された複数の電圧または入力された電圧のうちのいずれかを選択して出力する第2の選択回路と、外部からの電圧選択指示により、上記第2の選択回路を制御して、上記表示データに対応した上記分圧された複数の電圧、または入力された電圧のうちのいずれかから、出力すべき電圧を選択させる第2の制御回路とを有し、上記電圧選択指示は、第1の期間においては、第1の選択回路により選択された2つの電圧のうち高い方を選択する指示であり、第1の期間に続く第2の期間においては、表示データに対応する分圧された電圧を選択する指示であることとしてもよい。

【0023】また、上記第2の課題を解決するために、上記のX駆動回路において、上記第1の選択回路で選択される二つの電圧の差により決まるオフセット電圧の大きさが、予め定められた値よりも小さいこととしたものである。

【0024】また、上記第3の課題を解決するために、X駆動回路において、外部から供給されるn個の電圧のうち最大のものは、上記X駆動回路の電源電圧と同一であることとしたものである。

【0025】

【作用】上記のように外部から入力された出力インピーダンスの低い電圧を直接、ある期間出力し、その後に表示データに対応した電圧を分圧回路を通して出力することによって、分圧回路の分圧抵抗を下げずに、液晶素子を高速に駆動できる。また、分圧回路の分圧抵抗を下げる必要がないので、精度を保つことができ、かつ、消費電力、回路規模の増加を最小に抑えることができる。また、外部から入力された出力インピーダンスの低い電圧のうち高レベル側の電圧を直接、ある期間出力し、その後に表示データに対応した電圧を分圧回路を通して出力することによって、同様に目的を達成できる。また、上記の分圧回路として、第1の選択回路のオン抵抗に比べて十分に大きい抵抗素子を直列に接続した両端に接続し、抵抗素子で分圧された分圧電圧を選択出力する第2の選択回路を有することとした。つまり、オフセット電圧を小さくするため選択回路のオン抵抗に比べて十分に大きい抵抗素子を分圧回路に用いても、第1の選択回路のみを介して出力する期間を設けることで、その期間は、分圧回路の出力インピーダンスを充分小さくすることが可能となり、液晶パネルを高速に駆動することが出来る。

【0026】なお、液晶の階調電圧設定において、隣接する階調電圧間の幅が小さいところほどオフセット電圧を小さくする必要があるが、本発明の構成にすると、オフセット電圧は第1の選択回路により選択された電圧間の電圧幅に比例するため、この電圧幅を小さくすることで、オフセット電圧を小さくする要求が強い電圧設定領域において、オフセット電圧を小さくすることが容易にできる。またスイッチング素子は電源電圧幅に等しい動作電圧幅を持つため出力電圧幅は電源電圧幅に等しくできる。すなわち、電源電圧を V_{cc} とし、出力電圧範囲を考えると、出力バッファを用いた場合、出力バッファ回路の動作電圧範囲は電源電圧の V_{cc} より小さくなるため、出力電圧範囲も V_{cc} より小さくなる。一方、スイッチング素子から直接出力する場合、スイッチング素子の動作電圧範囲は電源電圧と同じ V_{cc} となるため、出力電圧範囲も V_{cc} となる。

【0027】

【実施例】以下、本発明の第1の実施例を図1、図2、図3、図9を用いて説明する。図1は、192出力のX駆動回路の簡単なブロック図、図2は分圧回路の簡単なブロック図、図3は出力波形図、図9はゲート回路の簡単な回路図である。

【0028】図1は、192個の出力を持ち1出力あたり64階調分の電圧を出力できるX駆動回路100である。本X駆動回路100は、シフトレジスタ101と、ラッチ回路108-0から108-191と、6ビットのラッチ回路110-0から110-191と、デコーダ113-0から113-191（デコード回路）と、

デコーダ114-0から114-191（デコード回路）と、ゲート回路117-0から117-191（デコード信号変更回路）と、表示データに対応した電圧を生成する分圧回路120-0から120-191（選択回路を兼ねる）とを有する。

【0029】102はクロック、103は前段のX駆動回路からの制御信号、104は後段のX駆動回路への制御信号、105はシフトレジスタ101の出力バス、106はラッチクロックである。

【0030】シフトレジスタ101は、前段のX駆動回路からの制御信号103が有効になると、クロック102に同期して出力バス105の出力をS0からS191までを順次、クロック102の1周期の期間有効にする。シフトレジスタ101は、出力S191を有効にすると、後段のX駆動回路への制御信号104を有効にする。その後、シフトレジスタ101は、クロック102の1周期後に出力S191を無効にし、次にラッチクロック106が有効になった後、前段のX駆動回路からの制御信号103が有効になるまで動作しない。

【0031】107は1ビット当り“ハイ”、“ロー”の2値のデジタルデータを持つ6ビットの表示データのデータバス、108-0から108-191は各々6ビットのラッチ回路、109-0から109-191は各々6ビットの出力バスである。

【0032】データバス107には、クロック102に同期して表示データが出力されている。ラッチ回路108-0から108-191は、シフトレジスタ101の出力バス105の1出力が接続されており、それらの信号が有効になったときに、データバス107の表示データをラッチし、その表示データをラッチデータとして出力バス109-0から109-191に出力する。このようにしてラッチ回路108-0から108-191は、シフトレジスタ101の出力に同期して、順次192個の表示データをラッチし、それぞれ出力バス109-0から109-191に出力する。

【0033】111-0から111-191はラッチ回路110-0から110-191のラッチデータの上位2ビットの出力バス、112-0から112-191はラッチ回路110-0から110-191のラッチデータの下位4ビットの出力バスである。

【0034】ラッチ回路110-0から110-191は、ラッチクロック106が有効になると、出力バス109-0から109-191のラッチデータを同時にラッチし、上位2ビットは出力バス111-0から111-191に、下位4ビットは出力バス112-0から112-191に出力する。

【0035】デコーダ113-0から113-191は出力バス111-0から111-191のデータをデコードする。デコーダ114-0から114-191は出力バス112-0から112-191のデータをデコー

ドする。115-0から115-191はデコーダ113-0から113-191のデコード信号を転送する出力バスであり、各々4本の信号線を有する。116-0から116-191はデコーダ114-0から114-191のデコード信号を転送する出力バスであり、各々16本の信号線を有する。118は後述する液晶表示コントローラ1005内の制御信号生成回路から供給される、ラッチクロック106に同期したゲート回路117-0から117-191の制御信号時間信号)、119-0から119-191はゲート回路117-0から117-191の出力バスである。

【0036】デコーダ113-0から113-191は、出力バス111-0から111-191に出力される上位2ビットのデータをデコードして、出力バス115-0から115-191に出力する。デコーダ114-0から114-191は、出力バス112-0から112-191に出力される下位4ビットのデータをデコードして、出力バス116-0から116-191に出力する。ゲート回路117-0から117-191は、制御信号118が無効になっているときは、下位4ビットの出力バス119-0から119-191を遮断状態にし、出力バス119-0から119-191にはデコード値"0"に対応した出力線を有効にする。制御信号118が有効になるとゲート回路117-0から117-191は、出力バス116-0から116-191と出力バス119-0から119-191を導通状態にする。

【0037】121は外部より供給される5レベルの電圧(第2の電圧)が伝播される電圧バス、122-0から122-191は分圧回路120-0から120-191の出力である。

【0038】分圧回路120-0から120-191は、出力バス115-0から115-191と出力バス119-0から119-191のデータに対応した電圧(第1の電圧)を電圧バス121の電圧をもとに生成し、出力122-0から122-191に出力する。この出力122-0から122-191の各出力は液晶パネルに接続されており、液晶素子に電圧を印加することが出来る。

【0039】図9は、図1に用いたゲート回路の簡単な回路図である。ここではゲート回路117-0を用いて説明する。

【0040】出力バス116-0のうち、D0は表示データの下位4ビットのデコード値が"0"の時有効になる信号、同様にD1はデコード値"1"の時有効になる信号、・・・、同様にD15はデコード値"15"の時有効になる信号である。

【0041】図9において、901はインバータ回路、902は2入力のOR回路である。インバータ回路901は、制御信号118の極性を反転して、その反転信号

をOR回路902に入力する。また、OR回路902には出力バス116-0のD0が入力する。制御信号118が無効の時(第1の期間)は、つまり、"0"の時、OR回路902にはインバータ回路901により"1"が入力する。出力バス116-0のD0のデータに関わらず、出力DG0には"1"を出力し、有効状態とする。制御信号118が有効の時(第2の期間)は、つまり"1"の時、OR回路902にはインバータ回路901により"0"が入力しているため、出力バス116-0のD0のデータがDG0に出力されることになる。

【0042】903-1から903-15は2入力のAND回路である。AND回路903-1から903-15には、2入力のうち、一方には制御信号118が入力され、他方には出力バス116-0のうちD1からD15を各々入力する。制御信号118が無効の時は、つまり"0"の時、AND回路903-1から903-15の出力DG1からDG15はすべて"0"となり無効になる。制御信号118が有効の時は、つまり"1"の時、AND回路903-1から903-15は、出力バス116-0のD1からD15のデータと同値のデータを出力バス119-0のDG1からDG15に出力する。

【0043】図1の他のゲート回路117-1から117-191も同様の動作をする。

【0044】図2は、図1に示した分圧回路のブロック図を示したものである。ここでは、図1の分圧回路120-0を用いて説明する。図2において、電圧バス121の電圧関係は $V_4 > V_3 > V_2 > V_1 > V_0$ として説明する。201は電圧セクタ、202は高電位側の選択スイッチング素子群、203は低電位側の選択スイッチング素子群、204は電圧セクタ201の出力のうち高電圧側の出力、205は電圧セクタ201の出力のうち低電圧側の出力、206は出力204、205から供給される電圧を出力205を含めた16レベルの電圧に分圧する分圧回路、207は分圧抵抗群、208は選択スイッチング素子群、209はスイッチング素子群208において低電位側の電位を出力するスイッチング素子である。

【0045】電圧セクタ201は、出力バス115-0に対応して、高電位側のスイッチング素子群202と低電位側のスイッチング素子群203のうち、それぞれ一つを導通状態にして高電位側の選択電圧を出力204に出力し、低電位側の選択電圧を出力205に出力する。出力バス115-0のうち、dg0は表示データの上位2ビットのデコード値が"0"の時有効になる出力、dg1は同様にデコード値が"1"の時有効になる出力、dg2は同様にデコード値が"2"の時有効になる出力、dg3は同様にデコード値が"3"の時有効になる出力である。ここでは、dg0が有効の時は、V1、V0が選択され、dg1が有効のときは、V2、V

1が選択される。このようにデコード値に対応した電圧とその1レベル上の電圧を選択する。

【0046】出力204と出力205は、分圧回路206に入力する。分圧回路206は、デコーダ出力119-0に応じて、分圧抵抗群によって出力205の電位を含む16レベルに分圧した電圧のうち、選択スイッチング素子群208によって1レベルを選択して出力212に出力する。DG0が有効の場合、出力205の電位を選択するようにスイッチング素子208が導通状態になる。DG1が有効の場合、出力204と出力205の電位を15分割した電圧のうち、低電位側から1番目の電位を選択する。このようにデコード値に対応して、出力204と出力205の電位を16分割した電圧と出力205の電位の16レベルの中から、低電位側からデコード値番目の電位を選択する。

【0047】このような回路構成にすることで分圧回路120-0は、電圧4組×16分圧=64階調分の電圧を生成し、6ビットの表示データに対応した電圧を出力できる。

【0048】図1の他の分圧回路120-1から120-191も同様の動作をする。

【0049】図1、図2、図3、図9を用いて、動作の詳細な説明をする。ラッチ回路108-0から108-191は、シフトレジスタ101の出力バス105に同期して、データバス107の表示データを順次ラッチし、ラッチ出力を出力バス109-0から109-191に出力する。この時のラッチ回路108-0にラッチする表示データを上位ビットから"110100"とすると、出力バス109-0のデータは、"110100"となる。その後、出力バス109-0のデータは、つぎのラッチ回路110-0がラッチクロック106に同期してラッチし、上位2ビットは出力バス111-0に、下位4ビットは出力バス112-0に出力する。この出力バス111-0のデータ"11"はデコーダ113-0に入力し、デコードされる。出力バス112-0のデータ"0100"は、デコーダ114-0のデコーダ回路に入力し、デコードされる。この結果、出力110-0のデータのデコード値は"3"となり、出力バス112-0のデータのデコード値は"4"となる。

【0050】そして、デコード113-0の出力バス115-0、デコード114-0の出力バス116-0のうち、このデコード値"3"、"4"に対応した出力線が有効になり、出力バス116-0はゲート回路117-0に入力する。

【0051】ゲート回路117-0の動作については、図9を用いて説明する。この時は制御信号118が無効、つまり"0"になっているので、OR回路902の出力DG0は有効、つまり"1"になり、AND回路903-1から903-15の出力DG1からDG15は無効、つまり"0"になっている。これらの出力は出力

バス119-0によりデコード値は図2に示す分圧回路120-0に入力する。

【0052】以下、図2を用いて分圧回路120-0の動作を説明する。上位2ビットのデコード値"3"が出力バス115-0を通して電圧セクタ201に入力する。この結果、電圧セクタ201は出力204に電圧V4を、出力205に電圧V3を出力し、分圧回路206に入力する。分圧回路206には、出力バス119-0によってデコード値"0"が入力しているので、出力122に電圧V3を出力するようにスイッチング素子209が導通状態になる。このため、出力122と電圧バス121のV3の電圧線との間には、抵抗が介在しないので、出力インピーダンスが低減する。

【0053】その後、図1の制御信号118が有効、つまり"1"になると、図9に示すOR回路902は、出力バス116-0のD0のデータを出力DG0に出力し、AND回路903-1から903-15は出力バス116-0のD1からD15のデータを出力バス119-0のDG1からDG15に出力する。この時、出力バス116-0は、デコード値"4"に相当するD4が有効で他の出力は無効であり、図2に示す出力バス119-0によって分圧回路206に入力する。分圧回路206が各レベルを等分割している場合、DG4が有効になっていることから、スイッチング素子群208のうちDG4が接続されているスイッチング素子が導通状態になり、

$$V_s = V_3 + (V_4 - V_3) \times 4 / 16$$

の電圧を出力122-0に出力する。

【0054】図1の他の分圧回路121-1から121-191も同様な動作をする。

【0055】図3は、出力122の先に液晶パネルが接続してある場合、出力122の出力波形図を示す。図3において、300は分圧回路の抵抗を通して、コンデンサと等価と考えられる液晶への充電時の出力波形、301は本実施例による充電時の出力波形である。液晶パネルは容量性の負荷なので、容量部と外部電圧との間の抵抗値によって、充電/放電時間が変化する。この間の抵抗値が大きいくほど充電/放電時間が長くなる。図1、図2、図9で説明した方式では、出力波形301に示すように、図1記載のクロック118が無効の間は、電圧V3が出力122から直接出力されるので、抵抗値は液晶パネルの抵抗値のみなので、急速に立ち上がる。クロック118が有効になったときに分圧回路206を通した規定値V_sが出力される。そして、規定値V_sまでは、液晶パネルの抵抗値と分圧回路206の抵抗値が直列抵抗になった状態で、充電/放電時間を行う。しかし、出力波形300に示したように、最初から分圧回路206を通して出力すると、液晶パネルの抵抗値と分圧回路206の抵抗値が見えるために充電/放電時間は長くなる。

【0056】本発明の第2の実施例を図4に示す。図4は192出力のX駆動回路の簡単なブロック図を示す。

【0057】図4において、400は192出力のX駆動回路、401はカウンタ、402はカウンタ401の出力バス、403はカウンタ401との比較値を設定するデータの入力バス、404はコンパレータ、405は制御信号、406はストップ信号である。カウンタ401と、コンパレータ404とは、制御信号生成回路を構成する。

【0058】カウンタ401は、ラッチクロック106 10
が有効になると、クロック102に同期して"0"からカウントを初め、カウント値を出力バス402に出力し、コンパレータ404にを入力する。コンパレータ404には、外部からの比較値を入力バス403を通して入力する。コンパレータ404は、入力バス403と出力バス402を比較して、出力バス402のデータが入力バス403のデータ以下の場合、制御信号405を無効にする。出力バス402のデータが入力バス403のデータより大きい場合は、制御信号405を有効にする。この時に、コンパレータ404は、ストップ信号4 20
06を有効にする。ストップ信号406はカウンタ401にを入力し、カウンタ401はカウントを停止する。カウンタ401は、再びラッチクロック106が無効から有効になるまでカウントを停止し、ラッチクロック106が無効から有効になると再び、"0"からカウントを始める。

【0059】図4の動作の説明をする。

【0060】ラッチクロック106が有効になると、ラッチ回路110-0から110-191が出力バス109-0から109-191のラッチデータを同時にラッチする。このラッチデータの上位2ビットは、出力バス110-0から110-191に出力し、デコーダ113-0から113-191にを入力し、デコードされて出力バス115-0から115-191に出力される。このラッチデータの下位4ビットは出力バス112-0から112-191に出力し、デコーダ114-0から114-191にを入力し、デコードされて出力バス115-0から115-191に出力される。更にラッチクロック16が有効になると、カウンタ401がカウントを始めて、制御信号405を無効にする。ゲート回路117-0から117-191は、制御信号405が無効の間、出力バス119-0から119-191のうち、デコード値"0"に対応した出力線のみを有効にする。その後、カウンタ401の出力バス402のデータが入力バス403のデータより大きくなると、コンパレータ404は制御信号405を有効にし、且つストップ信号406を有効にしてカウンタ401の動作を停止する。制御信号405が有効になるとゲート回路117-0から117-191は、出力バス116-0から116-191のデータを出力バス119-0から119-191 50

に出力する。

【0061】他の回路の動作は、第1の実施例と同じである。

【0062】このような回路構成にすることでも、第1の実施例と同等の動作が出来る。

【0063】本発明の第3の実施例を図5、図13に示す。図5は192出力のX駆動回路の簡単なブロック図、図13はゲート回路の簡単なブロック図である。

【0064】図5において、500は192出力のX駆動回路、501-0から501-191は下位4ビット用のゲート回路（表示データ変更回路）、502-0から502-191はゲート回路501-0から501-191の出力バスである。ゲート回路501-0から501-191は、制御信号118が無効の時は、出力バス112-0から112-191のラッチデータを出力しないで、出力バス502-0から502-191に"0"を出力する。制御信号118が有効になるとゲート回路501-0から501-191は、出力バス112-0から112-191のデータを出力バス502-0から502-191に出力する。

【0065】図13において、1301-0から1301-3は2入力のAND回路である。AND回路1301-0から1301-3は、制御信号118が無効の時には出力バス502-0のRDG0からSDG3をすべて無効にし、データ"0"を出力バス502-0に出力する。制御信号118が有効の時には、AND回路1301-0から1301-3は、出力バス502-0のRDG0からRDG3に出力バス112-0のRD0からRD3のデータを出力する。

【0066】この動作は、他のゲート回路501-1から501-191で同様に行われる。

【0067】図5、図13を用いて動作の説明をする。ラッチクロック106に同期して、ラッチ回路110-0から110-191は、出力バス109-0から109-191のラッチデータをすべてラッチし、上位2ビットは、出力バス111-0から111-191に出力し、デコーダ113-0から113-191にを入力してデコードし、各デコード値を出力バス115-0から115-191に出力する。下位4ビットは、出力バス112-0から112-191に出力し、ゲート回路501-0から501-191にを入力する。ゲート回路501-0の動作について、図13を用いて説明する。この時に制御信号118は、ラッチクロック106に同期して無効になるので、AND回路1301-0から1301-3は出力RGD0からRGD3をすべて無効、つまり"0"にして、出力バス502-0にデータ"0"を出力する。この動作は、図5のゲート回路501-1から501-191で行われる。このため、出力バス502-0から502-191にはデータ"0"が出力される。その後、制御信号118が有効、つまり"1"にな

ると、図13に示す出力バス502-0に出力RDG0からRDG3に出力バス112-0のRD0からRD3のデータを出力する。同様に図5に示すゲート回路501-1から501-191は出力バス112-0から112-191のデータを、出力バス502-1から502-191に出力する。

【0068】他の回路の動作は、第1の実施例と同じである。

【0069】このような回路構成にすることで、第1の実施例と同等の動作が出来る。

【0070】本発明の第4の実施例を図6、図7に示す。図6は192出力のX駆動回路の簡単なブロック図、図7は分圧回路の簡単なブロック図である。

【0071】図6において、600は192出力のX駆動回路、601-0から601-191は分圧回路である。分圧回路601-0から601-191は、制御信号118が無効の時は、上位2ビットのデコード値によって選択した2レベルの電圧のうち低電圧レベルの電圧線と出力線を接続し、低電圧レベルの電圧を出力バス122-0から122-191に出力する。制御信号118が有効の時は、表示データに対応した電圧を出力バス122-0から122-191に出力する。

【0072】図7は、図6に示した一つの分圧回路のブロック図を示したものである。図7において、701は16レベルに分圧する分圧回路、702は17個の抵抗を直列に接続した分圧抵抗、703は制御信号118が無効の時に導通状態になるスイッチング素子、704はインバータ、705はインバータ704の出力、706は制御信号118が有効の時に導通状態になるスイッチング素子である。直列抵抗702で分圧する分圧回路701は、図2に示した分圧回路206のように低電位側の出力205の電位を直接出力できない構造である。スイッチング素子703は、制御信号118が無効の時、つまり"0"の時にインバータ704により有効信号"1"が入力され、出力205と出力122-0を導通状態にする。このとき、スイッチング素子706には、制御信号118が無効、つまり"0"が入力しているので、スイッチング素子群208で選択された電圧は出力122に出力されない。

【0073】その後、制御信号118が有効になるとスイッチング素子703には、"0"が出力705より入力され、出力205と出力122を遮断状態にする。このとき、スイッチング素子706は、有効になった制御信号118の"1"が入力しているので、出力バス116-0のデコード値で選択した電圧が出力122-0に出力される。

【0074】図6、図7を用いてラッチ回路108-0にラッチされた表示データが"110100"の時の動作の説明をする。デコーダ113-0は出力バス111-0のラッチデータ"11"を、デコーダ114-0は

出力バス112-0のラッチデータ"0100"をそれぞれデコードし、出力バス115-0、116-0のデコード値"3"、"4"に対応する出力線を有効にする。出力バス115-0、116-0は分圧回路601-0に inputs する。分圧回路601-0の動作は図7を用いて説明する。デコーダ出力115-0は、電圧セレクタ201に入力し、デコード値"3"に対応して出力204、205にそれぞれV4、V3の電圧を出力する。この時、制御信号118は無効になっているので、出力205は、スイッチング素子703を通して出力122-0に出力する。また、分圧回路701は制御信号118が無効の期間は、スイッチング素子706が遮断状態なので、分圧した電圧値を出力しない。制御信号118が有効になると、出力205と出力122-0が遮断状態になり、デコーダ出力116-0のデコード値"4"に対応した電圧をスイッチング素子706を通して出力122-0から出力する。

【0075】他の分圧回路601-1から601-191も同様の動作をする。

【0076】第5の本実施例を図14に示す。図14は192出力のX駆動回路である。

【0077】図14において、1400は192出力のX駆動回路、1401は有効の期間を任意に設定できるラッチクロック、1402はインバータ、1403はインバータ1402の出力である。

【0078】ラッチクロック1401は、シフトレジスタ101とラッチ回路110-0から110-191に inputs する。更に、インバータ1402で反転して出力1403に出力され、ゲート回路117-0から117-191に inputs する。

【0079】図14を用いて動作の説明をする。ラッチクロック1401が無効から有効になると、シフトレジスタ101は、クロック102に同期して出力S0から順次S191までを1周期の期間有効にする。また、ラッチクロック1401が無効から有効になるとラッチ回路110-0から110-191が、前段のラッチ回路108-0から108-191の出力バス109-0から109-191のデータを同時にラッチする。

【0080】さらに、ラッチクロック1401が無効から有効になるとインバータ1402により反転した信号、つまり有効から無効になる信号が出力1403に出力される。その後、ラッチクロック1401が有効から無効になるとインバータ1402により反転した信号、つまり無効から有効になる信号が出力1403に出力される。出力1403はゲート回路117-0から117-191に inputs し、ゲート回路117-0から117-191を制御する。

【0081】その他の詳細な動作は、第1の実施例と同じである。

【0082】第6の実施例を図15に示す。図15は1

92 出力のX駆動回路の簡単なブロック図である。

【0083】図15において、1500はX駆動回路、1501はシフトレジスタ、1502はシフトレジスタ1501の出力バス、1503は6ビットの赤色（以下、Rと略す）用の表示データのデータバス、1504は6ビットの緑色（以下、Gと略す）用の表示データのデータバス、1505は6ビットの青色（以下、Bと略す）用の表示データのデータバス、1506はR用の電圧バス、1507はG用の電圧バス、1508はB用に電圧バスである。

【0084】シフトレジスタ1501は、前段からの制御信号103とクロック106とが有効になると、クロック102に同期して出力バス1502の出力S0からS63までをクロック102の1周期の期間、順次有効にする。出力S63を有効にすると後段への制御信号104を有効にする。そして、クロック102の1周期の期間後、出力S63を無効にする。再び、シフトレジスタ1501は、前段からの制御信号103とクロック106とが有効になると、動作を始める。出力バス1502の出力S0は、ラッチ回路108-0、108-1、108-2に inputs する。出力バス1502の次の出力S1は、ラッチ回路108-3、108-4、108-5に inputs する。出力バス1502の各出力は、ラッチ回路108-0から108-191の3個づつに接続している。

【0085】R用のデータバス1503は、ラッチ回路108-0から2つ置き of ラッチ回路に接続する。G用のデータバス1504は、ラッチ回路108-1から2つ置き of ラッチ回路に接続する。B用のデータバス1505は、ラッチ回路108-2から2つ置き of ラッチ回路に接続する。

【0086】R用の電圧バス1506は、分圧回路120-0から2つ置き of 分圧回路に接続してある。G用の電圧バス1507は、分圧回路120-1から2つ置き of 分圧回路に接続してある。B用の電圧バス1508は、分圧回路120-2から2つ置き of 分圧回路に接続してある。

【0087】図15を用いて動作の説明をする。

【0088】ラッチクロック106、制御信号103が有効になると、シフトレジスタ1501はクロック102に同期して、出力バス1502の出力S0から順次有効にする。S0が有効になると、ラッチ回路108-0は、R用のデータバス1503のデータをラッチし、ラッチデータを出力バス109-0に出力する。更に、ラッチ回路108-1は、G用のデータバス1504のデータ、ラッチ回路108-2は、B用のデータバス1505のデータをラッチし、ラッチデータをそれぞれ出力バス109-1、109-2に出力する。ラッチ回路108-3から108-191は、3個ごとと同様の動作を出力バス1502の出力に同期して行う。以下の分圧

回路120-0から120-191までの動作は、第3の実施例と同様である。分圧回路120-0から120-191の基本動作は第3の実施例と同等である。相違点は、R用の表示データに対応した電圧を出力する分圧回路には、R用の電圧バスが接続してあり、液晶パネルのR用のフィルター特性に合った電圧が出力できることである。G用、B用の表示データに対応した分圧回路にも、それぞれG用、B用の電圧バスが接続してあり、フィルター特性に合った電圧が出力できる。

10 【0089】このような回路構成にすることで、シフトレジスタ1501の回路規模を小さくでき、各フィルター特性にあった電圧を供給することで表示特性の良い表示が得られる。

【0090】前記第1、第2、第3、第4、第6の実施例において、液晶パネルの容量値と抵抗値が変化しても、制御信号118の無効の期間をを任意に設定出来るので、対応出来る。

20 【0091】前記第5の実施例において、液晶パネルの容量値と抵抗値が変化しても、ラッチクロック1401の無効の期間を任意に設定出来るので、対応出来る。

【0092】前記第1、第2、第3、第5、第6の実施例において、分圧回路は直列抵抗を用いているが、低電位側の出力を直接出力できる構成の分圧回路なら全て同様の駆動方式を用いることにより、同様の効果が得られる。

【0093】前記第1、第2、第3、第4、第5、第6の実施例において、分圧回路の分圧数が変更、例えば8分圧になった場合は、外部からの電圧数を9レベルにし、ラッチデータを上位3ビットと下位3ビットに分けて、それに応じたデコーダを用いることにより対応できる。このように分圧数の変化にも同様の変更で十分対応できる。

【0094】前記第1、第2、第3、第4、第5、第6の実施例において、階調数の変化、例えば64階調から256階調に変化した場合は、データバス107を8ビットとし、ラッチ回路のビット数を6ビットから8ビットに増やし、外部からの電圧数を17レベルとすると、ラッチデータを上位4ビットと下位4ビットに分けて、それに応じたデコーダと16分圧の分圧回路を用いることで対応できる。このように階調数の変化にも十分対応できる。

【0095】前記第1、第3、第4、第6の実施例においても、前記第5の実施例のようにラッチクロック1401を用いて制御しても動作する。

【0096】前記第1から第6までの実施例において、出力数の変更には、シフトレジスタの出力数、ラッチ回路の回路数、ゲート回路の回路数、デコーダの回路数、分圧回路の回路数を出力数に合わせることで対応できる。

50 【0097】前記第1から第5までの実施例において、

前記第6の実施例のように数出力分のデータを同時にラッチすることで、シフトレジスタの回路規模を小さくできる。また、各フィルターに対応した電圧を供給することで、フィルター特性に合った出力電圧が得られる。

【0098】本発明の第7の実施例を図10、図11、図12に示す。図10は前記X駆動回路を用いた液晶表示装置1025の簡単な構成図、図11は上部X駆動回路群の構成図、図12は下部X駆動回路群の構成図を示す。

【0099】1001はR、G、B用の各色6ビット表示データのデータバス、1002はドットクロック、1003は水平同期信号、1004は垂直同期信号、1005は液晶表示コントローラである。データバス1001の表示データは、ドットクロック1002に同期して液晶表示コントローラ1005に入力する。更に液晶表示コントローラ1005には、水平同期信号1003と垂直同期信号1004が入力する。液晶表示コントローラ1005は、ドットクロック1002からクロック102を生成し、水平同期信号1003からクロック106を生成し、液晶表示装置が駆動できるように表示データの並び換えやクロックの制御を行う。

【0100】1007は前記192出力のX駆動回路5個で構成する上部X駆動回路群、1008は前記192出力のX駆動回路5個で構成する下部X駆動回路群、1009は上部X駆動回路用の表示データのデータバス、1010は下部X駆動回路用の表示データのデータバス、1011は上部X駆動回路群の出力バス、1012は下部X駆動回路群の出力バス、1013は1920画素×480ラインで構成されるアクティブマトリクス型の液晶パネル、1014は交流化信号、1015は液晶表示用電源回路、1016は対向電極用電圧を伝播する出力、1017は上部用電圧バス、1018は下部用電圧バスである。

【0101】上部X駆動回路群1007には液晶表示コントローラ1005から表示データバス1009により表示データが伝送され、その表示データに対応した電圧を電圧バス1017から選択し、出力バス1011に出力し、液晶パネル1013に出力する。

【0102】下部X駆動回路群1008には液晶表示コントローラ1005から表示データバス1010により表示データが伝送され、その表示データに対応した電圧を電圧バス1018から選択し、出力バス1012に出力し、液晶パネル1013に出力する。

【0103】出力バス1011と出力バス1012の各出力線は、液晶パネル1013の縦ラインに接続しており、且つお互いに同一縦ラインに接続しないように一つ置きに接続してある。液晶表示用電源回路1015は、アクティブマトリクス型液晶パネルの対向電極に供給する電圧を生成し、出力1016に伝播する。また、液晶表示用電源回路1015は、交流化信号1014に同期

して、電圧バス1017に出力する電圧を出力1016の電位に対して、交流化信号1014が有効時は正極性の電圧を出力し、無効時は負極性の電圧を出力する。また、電圧バス1018に出力する電圧は、出力1016の電位に対して交流化信号1014が有効時は負極性の電圧を出力し、無効時は正極性の電圧を出力する。

【0104】1019-0から1019-2は160出力のY駆動回路、1020はクロック、1021はY駆動回路のオン電圧の出力、1022はY駆動回路のオフ電圧の出力、1023-0、1023-1は次段のY駆動回路への制御信号、1024はY駆動回路1019-0から1019-3の出力バスである。

【0105】クロック1020は、垂直同期信号1004を用いて液晶表示コントローラ1005で生成される。

【0106】Y駆動回路1019-0は、液晶用表示コントローラ1005の出力するクロック106に同期して、出力バス1024の出力線をS0からS159まで順次クロック106の1周期の期間だけ出力1021のオン電圧を出力する。選択されていない出力線は出力1021のオフ電圧を出力する。Y駆動回路1019-0は、S159にオン電圧を出力すると後段への制御信号1023-0を有効にし、クロック106の1周期の期間後出力S159にオフ電圧を出力する。Y駆動回路1019-1、1019-2も前段からの制御信号1023-0、1023-1が有効になると同様の動作をする。また、クロック1020が有効になると、再びY駆動回路1019-0のS0にオン電圧が出力され、その後クロック106に同期して動作する。

【0107】図11は、上部X駆動回路群の構成図である。

【0108】上部X駆動回路群1007は、前記の第1の実施例に用いたX駆動回路を5個直列に接続した回路構成になっている。各々192個の表示データを順次記憶する動作をし、1水平ライン文のデータに対応した電圧を出力する。また、データバス1009と電圧バス1017は、前記の第1、第3、第4の実施例でのデータバス107と電圧121と同じである。

【0109】図12は、下部X駆動回路群の構成図である。

【0110】下部X駆動回路群1008は、前記の第1の実施例に用いたX駆動回路を5個直列に接続した回路構成になっている。各々192個の表示データを順次記憶する動作をし、1水平ライン文のデータに対応した電圧を出力する。また、データバス1010と電圧バス1018は、前記の第1、第3、第4の実施例でのデータバス107と電圧121と同じである。

【0111】図10、図11、図12を用いて動作の説明をする。

【0112】アクティブマトリクス型液晶パネル10

13の1ライン目に電圧を印加する場合について説明する。

【0113】ドットクロック1002に同期してデータバス1001で伝送されてきた表示データは、液晶表示コントローラ1005で上部X駆動回路群1007と下部X駆動回路群1008のデータに分けられ、それぞれデータバス1009とデータバス1010にクロック1002に同期して出力される。液晶コントローラ1005は、1ライン分の表示データを出力すると、クロック1006を有効にする。

【0114】以下、図11を用いて説明する。データバス1009の表示データは、クロック1002に同期してX駆動回路100-0にラッチされる。X駆動回路100-0は、192個めの表示データのラッチ中に次段への制御信号104-0を有効にする。有効になった制御信号104-0が入力したX駆動回路100-1は、クロック1002に同期してデータバス1009のデータをラッチする。このようにして1ライン分の表示データをラッチする。

【0115】その後、図10に示すクロック1020が有効になり、Y駆動回路1019-0のS0にオン電圧が出力され、アクティブマトリックス型液晶パネル1013の1ライン目が有効になる。またクロック1020に同期してクロック1006が有効になると、それに同期してX駆動回路100-0から100-5はラッチしたデータを2段目のラッチ回路に同時にラッチする。そして、クロック1006に同期した制御信号118が有効の期間は、ラッチデータの上位2ビットに対応した電圧を電圧バスから選択し出力バス1011に出力し、制御信号118が無効になると6ビットのラッチデータに対応した分圧電圧を出力バス1012に出力する。また、図12のX駆動回路100-5は図11のX駆動回路100-0と、以下、X駆動回路100-9までは図11のX駆動回路100-4と同様の動作をする。更に、制御信号104-4と図11の制御信号104-0と、以下、制御信号104-7と図11の制御信号104-3は同様の動作する。このようにして、1ライン分の表示データに対応した電圧をアクティブマトリックス型液晶パネル1013の1ライン目の各画素に印加できる。1ライン目の出力中にX駆動回路100-0から100-4は、2ライン目の表示データをラッチする。

【0116】この動作を繰り返すことにより、アクティブマトリックス型液晶パネルの表示が行える。

【0117】第2の実施例のX駆動回路を用いる場合は、制御信号118を使用しない構成にすることで対応できる。

【0118】第5の実施例のX駆動回路を用いる場合は、制御信号118とクロック1006を使用しないで、クロック1401を用いる構成にすることで対応できる。

【0119】第3、第4の実施例のX駆動回路を用いて同様の構成にすることも実現できる。

【0120】表示データのビット数の増加については、データバスのバス幅とX駆動回路のビット数と出力電圧数を増加させることで対応できる。X駆動回路の構成によっては、電圧バスの電圧数を増加させてもよい。

【0121】制御信号118を液晶表示コントローラ1005を用いずに液晶表示装置1025ないで、例えば、第2の実施例で用いた制御信号生成回路401を用いて生成しても同様の動作をする。

【0122】第6の実施例のX駆動回路を用いる場合は、データバス1009と1010をRGBの各データを並列に出力し、電圧バス1017と1018にRGB用の電圧を並列に出力することで対応できる。

【0123】第8の本実施例を図16に示す。図16は前記液晶表示装置を用いた情報処理装置のブロック図を示す。

【0124】1601は情報処理装置であり、1602は中央演算回路、1603はアドレスバス、1604はデータバス、1605はメモリ、1606は表示コントローラ、1607は表示コントローラの出力バス、1608は表示メモリである。

【0125】中央演算回路1602は、データバス1604からのデータにより、データバス1604にデータの出力やデータの読み込みを行ったり、アドレスバス1603にアドレスを出力する。メモリ1605はアドレスバス1603のアドレス値がメモリの番地を指示していた場合、その番地のメモリとデータバス1604を導通状態にする。表示コントローラ1606は、アドレスバス1603のアドレス値が表示コントローラ1606を指示していた場合、データバス1603と表示コントローラ1606内のメモリを導通状態にする。表示コントローラ1606は、内部のメモリのデータに応じて表示メモリを出力バス1607経由で制御し、更にドットクロック1002、水平同期信号1003、垂直同期信号1004を生成し、出力する。表示メモリ1608は、アドレスバス1603のアドレス値が表示メモリ1608を指示している場合、表示メモリ1608は、そのアドレス値の示すメモリとデータバス1604を導通状態にする。また、表示コントローラ1606の出力バス1607の出力するデータに応じて、表示メモリ1608の内容を出力バス1001に出力する。

【0126】情報処理装置1601において、表示コントローラ1606及び表示メモリ1608に中央演算回路1602からアクセスがない場合、表示コントローラ1606は、ドットクロック1002に同期して表示データを出力するように、出力バス1607に読み込みを指示する信号とそのドットクロック1002に対応したアドレスデータを出力する。この時表示メモリは、読み込みを指示され、且つアドレスデータが出力バス160

7から入力されたので、出力バス1607の指示するアドレスのデータをデータバス1001に出力する。データバス1001は液晶表示装置1025にドットクロック1002に同期して入力する。更に、表示コントローラ1606で生成した水平同期信号1003と垂直同期信号1004が入力する。

【0127】このようにすることで本発明のX駆動回路を用いた液晶表示装置をパソコン、ワークステーションに接続して動作することができる。

【0128】本実施例によれば、分圧回路を持つX駆動回路の分圧回路で直接、容量性の付加を駆動する場合、充電/放電時間を短縮できる。また、抵抗を用いて分圧する分圧回路において、抵抗値を下げる必要がないので、消費電力の増加を最小にすることができ、さらに、精度の高い出力が得られる。

【0129】また、高精度のバッファ回路を必要としないので、その分、回路面積の増加を抑えることができる。

【0130】以下、本発明の第9の実施例を図17、図18、図19、図20、図21を用いて説明する。図17は、192出力のX駆動回路の簡単なブロック図、図18はゲート回路の簡単な回路図、図19は電圧波形図、図20は分圧回路の簡単なブロック図、図21は出力波形図である。

【0131】図17は、192個の出力を持ち1出力あたり64階調分の電圧を出力できるX駆動回路である。図17において、100は192出力のX駆動回路、101はシフトレジスタ、102はクロック、103は前段のX駆動回路からの制御信号、104は後段のX駆動回路への制御信号、105はシフトレジスタ101の出力バス、106はラッチクロックである。

【0132】シフトレジスタ101は、前段のX駆動回路からの制御信号103が有効になると、クロック102に同期して出力バス105の出力をS0からS191までを順次、クロック102の1周期の期間有効にする。シフトレジスタ101は、出力S191を有効にすると、後段のX駆動回路への制御信号104を有効にする。その後、シフトレジスタ101は、クロック102の1周期後に出力S191を無効にし、次にラッチクロック106が有効になった後、前段のX駆動回路からの制御信号103が有効になるまで動作しない。

【0133】107は1ビット当り"ハイ"、"ロー"の2値のデジタルデータを持つ6ビットの表示データのデータバス、108-0から108-191は各々6ビットのラッチ回路、109-0から109-191は各々6ビットの出力バスである。

【0134】データバス107には、クロック102に同期して表示データが出力されている。ラッチ回路108-0から108-191は、シフトレジスタ101の出力バス105の1出力が接続されており、それらの信

号が有効になったときに、データバス107の表示データをラッチし、その表示データをラッチデータとして出力バス109-0から109-191に出力する。このようにしてラッチ回路108-0から108-191は、シフトレジスタ101の出力に同期して、順次192個の表示データをラッチし、それぞれ出力バス109-0から109-191に出力する。

【0135】110-0から110-191は6ビットのラッチ回路、111-0から111-191はラッチ回路110-0から110-191のラッチデータの上位3ビットの出力バス、112-0から112-191はラッチ回路110-0から110-191のラッチデータの低位3ビットの出力バスである。

【0136】ラッチ回路110-0から110-191は、ラッチクロック106が有効になると、出力バス109-0から109-191のラッチデータを同時にラッチし、上位3ビットは出力バス111-0から111-191に、低位4ビットは出力バス112-0から112-191に出力する。

【0137】113-0から113-191は出力バス111-0から111-191のデータをデコードするデコーダ、114-0から114-191は出力バス112-0から112-191のデータをデコードするデコーダ、115-0から115-191はデコーダ113-0から113-191のデコード信号を転送する出力バスであり、各々8本の信号線を有する。116-0から116-191はデコーダ114-0から114-191のデコード信号を転送する出力バスであり、各々8本の信号線を有する。A117-0からA117-191はゲート回路、118は外部から供給されるラッチクロック106に同期したゲート回路A117-0からA117-191の制御信号、119-0から119-191はゲート回路A117-0からA117-191の出力バスである。

【0138】デコーダ113-0から113-191は、出力バス111-0から111-191に出力される上位3ビットのデータをデコードして、出力バス115-0から115-191に出力する。デコーダ114-0から114-191は、出力バス112-0から112-191に出力される低位3ビットのデータをデコードして、出力バス116-0から116-191に出力する。ゲート回路A117-0からA117-191は、制御信号118が無効になっているときは、低位3ビットの出力バス119-0から119-191を遮断状態にし、出力バス119-0から119-191にはデコード値"7"に対応した出力線を有効にする。制御信号118が有効になるとゲート回路A117-0からA117-191は、出力バス116-0から116-191と出力バス119-0から119-191を導通状態にする。

【0139】A120-0からA120-191は表示データに対応した電圧を生成する分圧回路、121は外部より供給される9レベルの電圧が伝播される電圧バス、A122-0からA122-191は分圧回路A120-0からA120-191の出力である。

【0140】分圧回路A120-0からA120-191は、出力バス115-0から115-191と出力バス119-0から119-191のデータに対応した電圧を電圧バス121の電圧をもとに生成し、出力A122-0からA122-191に出力する。この出力A122-0からA122-191の各出力は液晶パネルに接続されており、各液晶素子に電圧を印加することが出来る。

【0141】図18は、図17に用いたゲート回路の簡単な回路図である。ここではゲート回路A117-0を用いて説明する。

【0142】出力バス116-0のうち、D0は表示データの低位3ビットのデコード値が“0”の時“1”になる信号、同様にD1はデコード値“1”の時“1”になる信号、・・・、同様にD7はデコード値“7”の時“1”になる信号である。

【0143】図18において、A201はインバータ回路、A202は2入力のOR回路である。インバータ回路A201は、制御信号118を反転して、その反転信号をOR回路A202に入力する。また、OR回路A202には出力バス116-0のD7が入力する。制御信号118が“0”の時、OR回路A202にはインバータ回路A201により“1”が入力する。出力バス116-0のD7のデータに関わらず、出力DG7には“1”を出力する。制御信号118が“1”の時、OR回路A202にはインバータ回路A201により“0”が入力しているため、出力バス116-0のD7のデータがDG7に出力されることになる。

【0144】A203-0からA203-6は2入力のAND回路である。AND回路A203-0からA203-6には、2入力のうち、一方には制御信号118が入力され、他方には出力バス116-0のうちD1からD6を各々入力する。制御信号118が“0”の時、AND回路A203-0からA203-6の出力DG0からDG6はすべて“0”となる。制御信号118が“1”の時、AND回路A203-0からA203-6は、出力バス116-0のD0からD6のデータと同値のデータを出力バス119-0のDG0からDG14に出力する。

【0145】図17の他のゲート回路A117-1からA117-191も同様の動作をする。

【0146】図19は、対向電極電圧を基準としたときのX駆動回路に供給する電圧レベルである。図19

(a)はV0からV8と対向電極との差の絶対値の高低関係が極性によって変わらないときの電圧交流方式、図

19(b)はV0からV8と対向電極との差の絶対値の高低関係が極性によって反転するときの電圧交流方式を示す。本実施例では、図19(a)の電圧レベルの組合せの電圧がX駆動回路に供給している場合である。

【0147】図20は、図17に示した分圧回路のブロック図を示したものである。ここでは、図17の分圧回路A120-0を用いて説明する。A401は電圧セクタ、A402は高電位側の選択スイッチング素子群、A403は低電位側の選択スイッチング素子群、A404は電圧セクタA401の出力のうち高電圧側の出力、A405は電圧セクタA401の出力のうち低電圧側の出力、A406は出力A404、A405から供給される電圧を出力A404を含めた8レベルの電圧に分圧する分圧回路、407は分圧抵抗群、408は選択スイッチング素子群、409はスイッチング素子群408において高電位側の電位を出力するスイッチング素子である。

【0148】電圧セクタA401は、出力バス115-0に対応して、高電位側のスイッチング素子群A402と低電位側のスイッチング素子群A403のうち、それぞれ一つを導通状態にして高電位側の選択電圧を出力A404に出力し、低電位側の選択電圧を出力A405に出力する。出力バス115-0のうち、dg0は表示データの上位2ビットのデコード値が“0”の時有効になる出力、dg1は同様にデコード値が“1”の時有効になる出力、dg2は同様にデコード値が“2”の時有効になる出力、・・・、dg7は同様にデコード値が“3”の時有効になる出力である。ここでは、dg0が有効の時は、V1、V0が選択され、dg1が有効のときは、V2、V1が選択される。このようにデコード値に対応した2レベルの電圧を選択する。

【0149】出力A404と出力A405は、分圧回路A406に入力する。分圧回路A406は、デコーダ出力119-0に応じて、分圧抵抗群407によって出力A404の電位を含む8レベルに分圧した電圧のうち、選択スイッチング素子群408によって1レベルを選択して出力A122-0に出力する。DG7が有効の場合、出力A404の電位を選択するようにスイッチング素子409が導通状態になる。DG0が有効の場合、出力A406と出力407の電位を15分割した電圧のうち、低電位側から1番目の電位を選択する。このようにデコード値に対応して、出力A404と出力A405の電位を7分割した電圧と出力A404の電圧の8レベルの中から、低電位側からデコード値番目の電位を選択する。

【0150】このような回路構成にすることで分圧回路A120-0は、電圧8組×8分圧=64レベルの電圧を生成し、6ビットの表示データに対応した電圧を出力できる。

【0151】図17の他の分圧回路A120-1からA

120-191も同様の動作をする。

【0152】図17、図18、図20、図21を用いて、動作の詳細な説明をする。ラッチ回路108-0から108-191は、シフトレジスタ101の出力バス105に同期して、データバス107の表示データを順次ラッチし、ラッチ出力を出力バス109-0から109-191に出力する。この時のラッチ回路108-0にラッチする表示データを上位ビットから"110100"とすると、出力バス109-0のデータは、"110100"となる。その後、出力バス109-0のデータは、つぎのラッチ回路110-0がラッチクロック106に同期してラッチし、上位3ビットは出力バス111-0に、下位3ビットは出力バス112-0に出力する。この出力バス111-0のデータ"110"はデコーダ113-0に入力し、デコードされる。出力バス112-0のデータ"100"は、デコーダ114-0のデコーダ回路に入力し、デコードされる。この結果、出力110-0のデータのデコード値は"6"となり、出力バス112-0のデータのデコード値は"4"となる。そして、デコード113-0の出力バス115-0、デコード114-0の出力バス116-0のうち、このデコード値"6"、"4"に対応した出力線が有効になり、出力バス116-0はゲート回路A117-0に入力する。ゲート回路A117-0の動作については、図18を用いて説明する。この時は制御信号118が"0"になっているので、OR回路A202の出力DG7は"1"になり、AND回路A203-1からA203-7の出力DG0からDG7は"0"になっている。これらの出力は出力バス119-0により図18に示す分圧回路A120-0からA120-191に入力する。以下、図20を用いて分圧回路A120-0の動作を説明する。電圧セクタA401に入力する出力バス115-0のうち上位3ビットのデコード値"6"のデータ線dg6が有効になっている。この結果、電圧セクタA401は出力A404に電圧V7を、出力A405に電圧V6を出力し、各々分圧回路A406に入力する。分圧回路A406には、出力バス119-0のデータ線DG7が有効になっている。この結果、出力A122-0に電圧V7を出力するようにスイッチング素子409が導通状態になる。このため、出力A122-0と電圧バス121のV7の電圧線との間には、抵抗素子が介在しないので、出力インピーダンスが低減する。そ

の後、図17の制御信号118が"1"になると、図18に示すOR回路A202は、出力バス116-0のD7のデータを出力DG7に出力し、AND回路A203-0からA203-6は出力バス116-0のD0からD6のデータを出力バス119-0のDG0からDG14に出力する。この時、出力バス116-0は、デコード値"4"に相当するD4が有効で他の出力は無効であり、図20に示す出力バス119-0によって分圧回路A406に入力する。分圧回路A406が各レベルを等分割している場合、DG4が有効になっていることから、スイッチング素子群408のうちDG4が接続されているスイッチング素子が導通状態になり、
$$V_s = V_6 + (V_7 - V_6) \times 4/8$$
の電圧を出力A122-0に出力する。

【0153】図17の他の分圧回路121-1から121-191も同様な動作をし、表示データに対応した電圧を出力する。

【0154】図21は、出力A122の先に液晶パネルが接続してある場合、出力A122の出力波形図を示す。図21において、A500は分圧回路の抵抗を通しての充電時の出力波形、A501は本実施例による充電時の出力波形である。液晶パネルは容量性の負荷なので、容量値と外部電圧との間の抵抗値によって、充電/放電時間が変化する。この間の抵抗値が大きいくほど充電/放電時間が長くなる。図17、図18、図20で説明した方式では、出力波形A501に示すように、図17記載のクロック118が無効の間は、電圧V7が出力A122から直接出力されるので、抵抗値は液晶パネルの抵抗値のみなので、急速に立ち上がる。クロック118が有効になったときに分圧回路A406を通した規定値Vsが出力される。そして、規定値Vsまでは、液晶パネルの抵抗値と分圧回路A406の抵抗値が直列抵抗になった状態で、充電/放電時間を行う。しかし、出力波形A500に示したように、始めから分圧回路A406を通して出力すると、分圧回路A406の抵抗値が見えるために充電/放電時間は長くなる。

【0155】本発明の第10の実施例を図22、図23、表1に示す。図22はX駆動回路の簡単なブロック図、図23は分圧回路の簡単なブロック図、表1は下位ビットデコーダの真理値表である。

【0156】

【表1】

D1	D2	D3	制御信号	交流化信号	DG0	DG1	DG2	DG3	DG4	DG5	DG6	DG7	DG8
x	x	x	0	1	0	0	0	0	0	0	0	0	1
0	0	0	1		0	1	0	0	0	0	0	0	0
0	0	1			0	0	1	0	0	0	0	0	
0	1	0			0	0	0	1	0	0	0	0	
0	1	1			0	0	0	0	1	0	0	0	
1	0	0			0	0	0	0	0	1	0	0	
1	0	1			0	0	0	0	0	0	1	0	
1	1	0			0	0	0	0	0	0	0	1	
1	1	1			0	0	0	0	0	0	0	0	
x	x	x			0	0	1	0	0	0	0	0	0
0	0	0	1	0	0		0	0	0	0	0	1	0
0	0	1		0	0		0	0	0	0	1	0	0
0	1	0		0	0		0	0	1	0	0	0	
0	1	1		0	0		0	0	1	0	0	0	
1	0	0		0	0		0	1	0	0	0	0	
1	0	1		0	0		1	0	0	0	0	0	
1	1	0		0	0		1	0	0	0	0	0	
1	1	1		0	0		1	0	0	0	0	0	
1	1	1		1	0		1	0	0	0	0	0	0

【0157】図22は、192出力を持ち1出力あたり64階調分の電圧を出力できるX駆動回路である。図22において、A601は192出力のX駆動回路、602は交流化信号、603は上位ビットデコーダ、604はdg0からdg7の8本の信号線で構成する上位ビットデコーダの出力バス、605は下位ビットデコーダ、606はDG0からDG7の8本の信号線で構成する下位ビットデコーダの出力バス、607は分圧回路である。上位ビットデコーダ603は、交流化信号602が“1”のときは、出力バス110のデータをデコードして出力バス604に出力し、交流化信号602が“0”のときは、出力バス110のデータを反転してからデコードして出力バス604に出力する。下位ビットデコーダ605は、表1の真理値表に示すように、制御信号118が“0”で、交流化信号602が“1”のときは、出力バス112のデータに関わらずDG8を“1”にする。制御信号118が“1”で、交流化信号602が“1”のときは、出力バス112のデータに応じて、出力バス606のDG1からDG8の信号線のうち1本を“1”にする。制御信号118が“0”で、交流化信号602が“0”のときは、出力バス112のデータに関わらずDG0を“1”にする。制御信号118が“1”で、交流化信号602が“0”のときは、出力バス112のデータに応じて、出力バス606のDG0からDG7の信号線のうち1本を“1”にする。出力バス604と出力バス606は、分圧回路607に入力し、分圧回路607は、出力バス604と出力バス606のデータに応じた電圧を出力A122-0から出力する。分圧回路607の簡単なブロック図を図23に示す。

【0158】図23は、外部から供給される9レベルの電圧を分圧回路を用いて64階調の電圧を生成し、そのうち1レベルを出力する分圧回路である。A701は9個のスイッチング素子で構成されるスイッチング素子群、A702はスイッチング素子群A701のうち出力204と出力A122を接続するスイッチング素子、A703はスイッチング素子群A701のうち出力405と出力A122を接続するスイッチング素子である。分圧回路607において、出力バス604のデータにより、スイッチング素子群402でV8からV1のうち1レベルの電圧を選択して出力404に出力し、スイッチング素子群403でV7からV0のうち1レベルの電圧を選択して出力405から出力する。出力404と出力405は8個直列に配列された抵抗群407の両端に接続される。スイッチング素子群408は出力404と出力405の電圧を含む9レベルの電圧のうち、出力バス606のデータに応じた1レベルの電圧を選択し、出力A122に出力する。

【0159】図22、図23、表1を用いて動作の説明をする。

【0160】図22において、出力バス111のデータを“110”、出力バス112のデータを“011”、交流化信号601を“1”、制御信号118を“0”とすると、上位ビットデコーダ602は出力バス603のうちdg6の信号線を“1”にし、他の信号線は“0”とする。下位ビットデコーダ605は、制御信号118が“0”のときは表示データに依存しないで、信号線DG8を“1”に出力バス606に出力する。これらのデコード結果は、分圧回路607に入力する。分圧回路6

07の動作については、図23を用いて説明する。図23において、出力バス603のうち、dg6が"1"になっているので、dg6が入力するスイッチング素子が導通状態になる。このため、出力404には電圧V7が出力し、出力405には電圧V6が出力し、分圧抵抗群406の両端に各々入力する。出力バス606のうち、DG6が"1"になっているので、DG8が入力するスイッチング素子A702が導通状態になり、出力112には電圧V7が出力される。

【0161】その後、制御信号118が"1"になると、図22の下位ビットデコーダ605は、表1の真理値表の示すように出力バス112のデータ"011"に対応した信号線DG4を"1"にして出力バス606に出力する。上位ビットデコーダ602の出力バス603のデータは変化しない。図23の分圧回路607では、出力バス606のデータが変化しているので、DG8が入力するスイッチング素子A702が遮断状態になり、DG4が入力するスイッチング素子が導通状態になるので出力A122には、

$$V_s = (V_7 - V_6) \times 4/8 + V_6$$
が出力する。

【0162】図22において、出力バス111のデータを"110"、出力バス112のデータを"011"、交流化信号601を"0"、制御信号118を"0"とすると、上位ビットデコーダ602は出力バス111のデータを反転するので出力バス603のうちdg1の信号線を"1"にし、他の信号線は"0"とする。下位ビットデコーダ605は、制御信号118が"0"のために表1の真理値表に示すように表示データに依存しないで、信号線DG0を"1"に出力バス606に出力する。これらのデコード結果は、分圧回路607に入力する。分圧回路607の動作については、図23を用いて説明する。図23において、出力バス603のうち、dg1が"1"になっているので、dg1が入力するスイッチング素子が導通状態になる。このため、出力404には電圧V2が出力し、出力405には電圧V1が出力し、分圧抵抗群406の両端に各々入力する。出力バス606のうち、DG0が"1"になっているので、DG0が入力するスイッチング素子A703が導通状態になり、出力112には電圧V1が出力される。

【0163】その後、制御信号118が"1"になると、図22の下位ビットデコーダ605は、表1の真理値表の示すように出力バス112のデータ"011"に対応した信号線DG4を"1"にして出力バス606に出力する。上位ビットデコーダ602の出力バス603のデータは変化しない。図23の分圧回路607では、出力バス606のデータが変化しているので、DG0が入力するスイッチング素子が遮断状態になり、DG4が入力するスイッチング素子が導通状態になるので出力A122には、

$$V_s = (V_2 - V_1) \times 4/8 + V_1$$

が出力する。

【0164】ここで、図19(a)に示すように、交流化信号が常に"1"の場合、V7、V6の対向電極との差を正極性のときをv7、v6とし、負極性のときを-v7、-v6とすると、対向電極の電位を基準とした正極性のときの出力電圧vs1は $vs1 = (v7 - v6) \times 4/8 + v6$

対向電極の電位を基準とした負極性のときの出力電圧vs2は

$$vs2 = (-v7 + v6) \times 4/8 - v6$$

となり、va1とvs2は極性が変化したのみで絶対値が等しいので、液晶パネルは同輝度の表示を得ることができる。

【0165】図19(b)に示すように、交流化信号が"0"、"1"に変化する場合、交流化信号601が"1"のときのV7、V6と対向電極との電位の差を各々v7、v6とし、交流化信号601が"0"のときのV1、V2と対向電極との電位の差を各々-v7、-v6とすると交流化信号601が"1"ときの対向電極の電位を基準とした出力電圧vs1は、

$$vs1 = (v7 - v6) \times 4/8 + v6$$

となり、この式をv6電圧との差の式に変形すると

$$vs1 = v7 - (v7 - v6) \times 4/8$$

となる。交流化信号601が"0"のときの対向電極の電位を基準とした出力電圧vs2は、

$$vs2 = (-v6 + v7) \times 4/8 - v7$$

となり、vs1とvs2は極性が変化したのみで絶対値は等しいので、液晶パネルは同輝度の表示を得る事ができる。この様な回路構成にすることで、X駆動回路に供給する電圧と対向電極との差の高低関係が交流化信号により変化しても、対応できる。

【0166】本発明の第11の実施例を図24、図25、表2に示す。図24は192出力のX駆動回路の簡単なブロック図、図25は分圧回路の簡単なブロック図、表2はデータ変換表を示す。

【0167】

【表2】

交流化 信号	入力信号			出力信号		
	dd2	dd1	dd0	dd2	dd1	dd0
1	0	0	0	0	0	0
	0	0	1	0	0	1
	0	1	0	0	1	0
	0	1	1	0	1	1
	1	0	0	1	0	0
	1	0	1	1	0	1
	1	1	0	1	1	0
	1	1	1	1	1	1
0	0	0	0	0	0	0
	0	0	1	1	1	1
	0	1	0	1	1	0
	0	1	1	1	0	1
	1	0	0	1	0	0
	1	0	1	0	1	1
	1	1	0	0	1	0
	1	1	1	0	0	1

【0168】図24において、A801は上位ビットのデータ変換回路、A802はデータ変換回路A801の出力バス、A803は下位ビットのデータ変換回路、A804はデータ変換回路A803の出力バス、A805はデコーダ回路、A806はデコーダ回路A805の出力バス、A807は分圧回路である。

【0169】上位ビットのデータ変換回路A801は、6ビットの入力データのうち上位3ビットが入力し、交流化信号602が“0”のときはデータを反転し、さらに1を加算して出力バスA802に出力し、交流化信号602が“1”のときは、無変換で出力する。下位ビットのデータ変換回路A803は、交流化信号602が“0”のときは、表2に示す変換表に準じたデータ変換を行い、交流化信号602が“1”のときは、無変換で出力バスA804に出力する。出力バスA802、出力バスA804は、それぞれ6ビットのラッチ回路108-0から108-191に inputs。デコーダ回路A805は、制御信号118が“0”のときは、データに影響されずDG7を“1”にする。制御信号118が“1”のときは、データが“000”のときはDG0を“1”にし、“001”のときはDG1を“1”にし、…

…、“111”のときはDG7を“1”にするようにデコードする。出力バスA806は、DG0からDG7の8本の信号線で構成する。

【0170】分圧回路A807は、デコーダ113の出力バス115とデコーダA805の出力バスA806のデータに応じた分圧電圧を出力A122に出力する。

【0171】図25において、A901、A902はAND回路、A903はインバータ回路である。AND回路A901は、交流化信号602が“1”のとき、DG7のデータを出力し、交流化信号602が“0”のとき、DG7のデータを遮断する。AND回路A902

は、交流化信号602が“1”のとき、インバータ回路A903により反転して“0”になるため、DG7の信号を遮断する。交流化信号602が“0”のとき、インバータ回路A903により反転して“1”になるため、DG7のデータを出力する。

【0172】図24、図25を用いて、動作の詳細な説明をする。交流化信号602が“1”の場合について説明する。全ての入力データを“010101”とする。上位ビットのデータ変換回路A801と下位ビットのデータ変換回路A803は、入力データを変換しないで出力バスA802と出力バスA804にデータ“010”、“101”を出力する。この出力バスA802と出力バスA804のデータは、ラッチ回路108-0から108-191にラッチアドレスセクタ101の出力バス105のデータに同期して順次ラッチされる。その後、ラッチ回路108-0から108-191の出力バス109-0から109-191のデータは、ラッチクロック107に同期して、ラッチ回路110-0から110-191にラッチされ、各ラッチ回路110-0から110-191の上位3ビットのデータは出力バス111-0から111-191に出力され、下位3ビットのデータは出力バス112-0から112-191に出力される。

【0173】出力バス111-0から111-191のデータは、デコーダ回路113-0から113-191に inputsし、出力バス112-0から112-191のデータは、デコーダ回路A805-0からA805-191に inputsする。上位ビットのデコーダ回路113-0から113-191の出力バス115-0から115-191は、dg2を“1”にし、分圧回路A807-0からA807-191に出力する。下位ビットのデコーダ回路はA805-0からA805-191の出力バスA806-0からA806-191は、制御信号118が“0”の期間はDG7を“1”にして分圧回路A807-0からA807-191に出力し、制御信号118が“1”になると、データ“101”の対応した信号線DG5が“1”になる。分圧回路A807-0の動作を図25を用いて説明する。出力バス115-0のデータにより出力404には電圧V3が出力され、出力バス405には電圧V2が出力する。交流化信号602が“1”であり、出力バスA806-0においてはDG7が“1”になっているので、出力A122-0には電圧V2が出力する。その後、制御信号118が“1”になると、出力バスA806-0においてはDG5が“1”になるので、分圧回路A807-0ではDG5が inputsするスイッチング素子が導通状態になり、出力A122-0に

$$V_s = (V_3 - V_2) \times 5 / 8 + V_2$$

の電圧値を出力する。

【0174】次に交流化信号602が“0”のときは、

入力データは、上位3ビットはデータ変換回路A801で反転して、データ"10"として出力バスA802に出力し、下位3ビットはデータ変換回路A803で変換して、データ"011"として出力バスA804に出力する。これらのデータはラッチ回路108-0から108-191とラッチ回路110-0から110-191を介して、上位3ビットのデータは出力バス111-0から111-191に出力され、デコーダ回路113-0から113-191に出力する。下位3ビットのデータは出力バス112-0から112-191に出力され、デコーダ回路A805-0からA805-191に出力する。デコーダ回路113-0から113-191は、入力データ"101"をデコードして出力バス115-0から115-191のうちの信号線dg5を"1"にする。この時、制御信号118が"0"であれば、デコーダ回路A805-0からA805-191は出力バスA806-0からA806-191のうちの信号線DG7を"1"にする。これらの信号から、図25に示す分圧回路A807-0では、出力バス115-0のデータにより出力404にV6を出力し、出力405にV2を出力し、分圧抵抗群406の両端に出力する。さらに、出力バスA806-0のデータと交流化信号602の"0"により、出力A122に出力405の電圧V2が出力される。その後、制御信号が"1"になるとデコーダ回路A805-0からA805-191は、データ"011"に対応したDG3を"1"にして、出力バスA806-0からA806-191に出力する。図25において、出力バスA806-0のうちDG3が"1"になるので、DG3が入力するスイッチング素子が導通状態になるので、出力A122-0に、
$$V_s = (V_6 - V_5) \times 3 / 8 + V_5$$
の電圧値を出力する。

【0175】外部より供給される電圧が図19(a)の場合、V3、V2の電位と対向電極の電位との差を正極性ではv3、v2とし、負極性では-v3、-v2とすると正極性のときの対向電極電位を基準とした出力A122の電位vs1は
$$v_{s1} = (v_3 - v_2) \times 5 / 8 + v_2$$
となる。負極性のときの対向電極電位を基準とした出力A122の電位vs2は
$$v_{s2} = (-v_3 + v_2) \times 5 / 8 - v_2$$
となり、絶対値は等しくなるので、液晶パネルでは同輝度の表示得られる。

【0176】外部より供給される電圧が図19(b)の場合、V3、V2の電位と対向電極の電位との差を正極性ではv3、v2とし、負極性ではV6、V5の電位と対向電極の電位との差を-v1、-v2とすると正極性のときの対向電極電位を基準とした出力A122の電位vs1は
$$v_{s1} = (v_3 - v_2) \times 5 / 8 + v_2$$

となり、この式をv2電圧との差の式に変形すると
$$v_{s1} = v_3 - (v_3 - v_2) \times 3 / 8$$
となる。負極性のときの対向電極電位を基準とした出力A122の電位vs2は
$$v_{s2} = (-v_2 + v_3) \times 3 / 8 - v_3$$
となり、vs1とvs2は極性が変化しただけで絶対値は等しいので液晶パネルは同輝度の表示を得ることができる。この様な回路構成にすることでX駆動回路に供給する電圧と対向電極との差の高低関係が交流化信号に同期して変化しても、対応することができる。

【0177】本発明の第12の実施例を図26、図27に示す。図26は192出力のX駆動回路の簡単なブロック図、図27はゲート回路の簡単なブロック図である。

【0178】図26において、1000は192出力のX駆動回路、A1001-0からA1001-191は下位3ビット用のゲート回路、A1002-0からA1002-191はゲート回路A1001-0からA1001-191の出力バス、1003は制御信号である。ゲート回路A1001-0からA1001-191は、制御信号1003が"1"の時は、出力バス112-0から112-191のラッチデータを出力しないで、出力バスA1002-0からA1002-191に"111"を出力する。制御信号1003が"0"になるとゲート回路A1001-0からA1001-191は、出力バス112-0から112-191のデータを出力バスA1002-0からA1002-191に出力する。

【0179】図27において、1101-0から1101-2は2入力のOR回路である。OR回路1101-0から1101-2は、制御信号1003が"1"の時には出力バスA1002-0のRDG0からSDG2をすべて無効にし、データ"1111"を出力バスA1002-0に出力する。制御信号1003が有効の時には、OR回路1101-0から1101-3は、出力バスA1002-0のRDG0からRDG2に出力バス112-0のRD0からRD2のデータを出力する。

【0180】この動作は、他のゲート回路A1001-1からA1001-191で同様に行われる。

【0181】図26、図27を用いて動作の説明をする。ラッチクロック106に同期して、ラッチ回路110-0から110-191は、出力バス109-0から109-191のラッチデータをすべてラッチし、上位3ビットは、出力バス111-0から111-191に出力し、デコーダ113-0から113-191に出力してデコードし、各デコード値を出力バス115-0から115-191に出力する。下位3ビットは、出力バス112-0から112-191に出力し、ゲート回路A1001-0からA1001-191に出力する。ゲート回路A1001-0の動作について、図27を用いて説明する。この時に制御信号1003は、ラッチクロ

ック106に同期して"1"になるので、OR回路1101-0から1101-3は出力RGD0からRGD2をすべて"1"にして、出力バスA1002-0にデータ"1"を出力する。この動作は、図26のゲート回路A1001-1からA1001-191で行われる。このため、出力バスA1002-0からA1002-191には各々"111"が出力される。その後、制御信号1003が"0"になると、図27に示す出力バスA1002-0に出力RDG0からRDG2に出力バス112-0のRD0からRD2のデータを出力する。同様に図26に示すゲート回路A1001-1からA1001-191は出力バス112-0から112-191のデータを、出力バスA1002-1からA1002-191に出力する。

【0182】他の回路の動作は、第9の実施例と同じである。

【0183】このような回路構成にすることで、第9の実施例と同等の動作が出来る。

【0184】本発明の第13の実施例を図28、図29に示す。図28は192出力のX駆動回路の簡単なブロック図、図29は分圧回路の簡単なブロック図である。

【0185】図28において、1200は192出力のX駆動回路、1201-0から1201-191は分圧回路である。分圧回路1201-0から1201-191は、制御信号118が"0"の時は、上位3ビットのデコード値によって選択した2レベルの電圧のうち高電圧レベルの電圧線と出力線を接続し、高電圧レベルの電圧を出力バスA122-0からA122-191に出力する。制御信号118が"1"の時は、表示データに対応した電圧を出力バスA122-0からA122-191に出力する。

【0186】図28は、図29に示した一つに分圧回路のブロック図を示したものである。図29において、406は8レベルに分圧する分圧回路、407は9個の抵抗を直列に接続した分圧抵抗群、1303は制御信号118が"0"の時に導通状態になるスイッチング素子、1304はインバータ、1305はインバータ1304の出力、1306は制御信号118が"1"の時に導通状態になるスイッチング素子である。直列抵抗群407で分圧する分圧回路406は、図4に示した分圧回路406と異なり、出力404、405の電圧を直接出力できない構造である。スイッチング素子1303は、制御信号118が"0"の時にインバータ1304により有効信号"1"が入力され、出力405と出力A122-0を導通状態にする。このとき、スイッチング素子1306には、制御信号118の"0"が入力しているので、スイッチング素子群408で選択された電圧は出力A122に出力されない。

【0187】その後、制御信号118が"1"になるとスイッチング素子1303には、"0"が出力1305

より入力され、出力405と出力A122を遮断状態にする。このとき、スイッチング素子1306は、制御信号118の"1"が入力しているので、出力バス116-0のデータで選択した電圧が出力A122-0に出力される。

【0188】図28、図29を用いてラッチ回路108-0にラッチされた表示データが"110100"の時の動作の説明をする。デコーダ113-0は出力バス111-0のラッチデータ"110"を、デコーダ114-0は出力バス112-0のラッチデータ"100"をそれぞれデコードし、出力バス115-0、116-0のデコード値"6"、"4"に対応するdg6とDG4の信号線を"1"にする。出力バス115-0、116-0は分圧回路1201-0に入力する。分圧回路1201-0の動作は図29を用いて説明する。デコーダ出力115-0は、電圧セクタ401に入力し、デコード値"3"に対応して出力404、405にそれぞれV7、V6の電圧を出力する。この時、制御信号118は"0"になっているので、出力404は、スイッチング素子1303を通して出力A122-0に出力する。また、分圧回路1301は制御信号118が"0"の期間は、スイッチング素子1306が遮断状態なので、分圧した電圧値を出力しない。制御信号118が"1"になると、出力405と出力A122-0が遮断状態になり、デコーダ出力116-0のDG4が入力するスイッチング素子が導通状態になり、スイッチング素子1306を通して出力A122-0から出力する。

【0189】他の分圧回路1201-1から1201-191も同様の動作をする。

【0190】第14の本実施例を図14に示す。図30は192出力のX駆動回路である。

【0191】図30において、1400は192出力のX駆動回路、1401は"1"の期間を任意に設定できるラッチクロック、1402はインバータ、1403はインバータ1402の出力である。

【0192】ラッチクロック1401は、シフトレジスタ101と、ラッチ回路110-0から110-191とに入力する。更に、インバータ1402で反転して出力1403に出力され、ゲート回路A117-0からA117-191に入力する。

【0193】図30を用いて動作の説明をする。ラッチクロック1401が無効から有効になると、シフトレジスタ101は、クロック102に同期して出力S0から順次S191までを1周期の期間有効にする。また、ラッチクロック1401が無効から有効になるとラッチ回路110-0から110-191が、前段のラッチ回路108-0から108-191の出力バス109-0から109-191のデータを同時にラッチする。

【0194】さらに、ラッチクロック1401が無効から有効になるとインバータ1402により反転した信

号、つまり有効から無効になる信号が出力1403に出力される。その後、ラッチクロック1401が有効から無効になるとインバータ1402により反転した信号、つまり無効から有効になる信号が出力1403に出力される。出力1403はゲート回路A117-0からA117-191に inputs し、ゲート回路A117-0からA117-191を制御する。

【0195】その他の詳細な動作は、第9の実施例と同じである。

【0196】第8の実施例を図31に示す。図31は192出力のX駆動回路の簡単なブロック図である。

【0197】図31において、1500はX駆動回路、1501はシフトレジスタ、1502はシフトレジスタ1501の出力バス、1503は6ビットの赤色（以下、Rと略す）用の表示データのデータバス、1504は6ビットの緑色（以下、Gと略す）用の表示データのデータバス、1505は6ビットの青色（以下、Bと略す）用の表示データのデータバス、1506はR用の電圧バス、1507はG用の電圧バス、1508はB用に電圧バスである。

【0198】シフトレジスタ1501は、前段からの制御信号103とクロック106と有効になると、クロック102に同期して出力バス1502の出力S0からS63までクロック102の1周期の期間、順次有効にする。出力S63を有効にすると後段への制御信号104を有効にする。そして、クロック102の1周期の期間後、出力S63を無効にする。再び、シフトレジスタ1501は、前段からの制御信号103とクロック106と有効になると、動作を始める。出力バス1502の出力S0は、ラッチ回路108-0、108-1、108-2に inputs する。出力バス1502の次の出力S1は、ラッチ回路108-3、108-4、108-5出力バス1502の各出力は、ラッチ回路108-0から108-191の3個づつに接続している。

【0199】R用のデータバス1503は、ラッチ回路108-0から2つ置きにラッチ回路に接続する。G用のデータバス1504は、ラッチ回路108-1から2つ置きにラッチ回路に接続する。B用のデータバス1505は、ラッチ回路108-2から2つ置きにラッチ回路に接続する。

【0200】R用の電圧バス1506は、分圧回路120-0から2つ置きに分圧回路に接続してある。G用の電圧バス1507は、分圧回路120-1から2つ置きに分圧回路に接続してある。B用の電圧バス1508は、分圧回路120-2から2つ置きに分圧回路に接続してある。

【0201】図31を用いて動作の説明をする。

【0202】ラッチクロック106、制御信号103が有効になると、シフトレジスタ1501はクロック102に同期して、出力バス1502の出力S0から順次有

効にする。S0が有効になると、ラッチ回路108-0は、R用のデータバス1503のデータをラッチし、ラッチデータを出力バス109-0に出力する。更に、ラッチ回路108-1は、G用のデータバス1504のデータ、ラッチ回路108-2は、B用のデータバス1505のデータをラッチし、ラッチデータをそれぞれ出力バス109-1、109-2に出力する。ラッチ回路108-3から108-191は、3個ごとに同様の動作を出力バス1502の出力に同期して行う。以下の分圧回路120-0から120-191までの動作は、第1の実施例と同様である。分圧回路120-0から120-191の基本動作は第1の実施例と同等である。相違点は、R用の表示データに対応した電圧を出力する分圧回路には、R用の電圧バスが接続してあり、液晶パネルのR用のフィルタ特性に合った電圧が出力できることである。G用、B用の表示データに対応した分圧回路にも、それぞれG用、B用の電圧バスが接続してあり、フィルタ特性に合った電圧が出力できる。

【0203】このような回路構成にすることで、シフトレジスタ1501の回路規模を小さくでき、各フィルタ特性にあった電圧を供給することで表示特性の良い表示が得られる。

【0204】前記第9、第10、第11、第12、第13、第15の実施例において、液晶パネルの容量値と抵抗値が変化しても、制御信号118の無効の期間を任意に設定出来るので、対応出来る。

【0205】前記第14の実施例において、液晶パネルの容量値と抵抗値が変化しても、ラッチクロック1401の無効の期間を任意に設定出来るので、対応出来る。

【0206】前記第9、第10、第11、第12、第13、第15の実施例において、分圧回路は直列抵抗を用いているが、高電位側の出力を直接出力できる構成の分圧回路なら全て同様の駆動方式を用いることにより、同様の効果が得られる。

【0207】前記第9、第10、第11、第12、第13、第15の実施例において、分圧回路の分圧数が変更、例えば16分圧になった場合は、外部からの電圧数を5レベルにし、ラッチデータを上位2ビットと下位4ビットに分けて、それに応じたデコーダを用いることにより対応できる。このように分圧数の変化にも同様の変更で十分対応できる。

【0208】前記第9、第10、第11、第12、第13、第14、第15の実施例において、階調数の変化、例えば64階調から256階調に変化した場合は、データバスを8ビットとし、ラッチ回路のビット数を6ビットから8ビットに増やし、外部からの電圧数を17レベルとすると、ラッチデータを上位4ビットと下位4ビットに分けて、それに応じたデコーダと16分圧の分圧回路を用いることで対応できる。このように階調数の変化にも十分対応できる。

【0209】前記第9、第10、第11、第12、第13、第15の実施例においても、前記第14の実施例のようにラッチクロック1401を用いて制御しても動作する。

【0210】前記第9から第15までの実施例において、出力数の変更には、シフトレジスタの出力数、ラッチ回路の回路数、ゲート回路の回路数、デコーダの回路数、分圧回路の回路数を出力数に合わせることで対応できる。

【0211】前記第9から第13までの実施例において、前記第15の実施例のように数出力分のデータを同時にラッチすることで、シフトレジスタの回路規模を小さくできる。また、各フィルターに対応した電圧を供給することで、フィルター特性に合った出力電圧が得られる。

【0212】64階調の出力電圧を生成する本発明の第16の実施例を図32、図33、図34、図35、図36、図37、図38、図39、図40、図41、図42、図43を用いて説明する。

【0213】図32は液晶駆動回路のブロック図、図33は液晶パネルを駆動する64階調電圧を生成する液晶電圧生成回路のブロック図、図34、図35は液晶電圧生成回路の分圧スイッチの制御信号生成の真理値図、図36はチップ全体レイアウト概略図、図37は出力1系統のレイアウトブロック図、図38、図39はそれぞれ192出力選択時の液晶電圧生成回路の等価回路、図40は1出力選択時の液晶電圧生成部の等価回路、図41は液晶電圧出力のオフセット電圧を示す図、図42は液晶の電圧、輝度特性を示す図、図43は図39の等価回路の一部を詳しく説明する図である。

【0214】図32は、192個の出力を持ち1出力あたり64階調分の電圧を出力できる液晶駆動回路のブロック図である。図32において、100は192出力の液晶駆動回路、101はラッチアドレス制御回路、102はクロック、103は本液晶駆動回路が有効か否かを示す制御信号、104は後段のX駆動回路への制御信号、105はラッチアドレス制御回路101の出力バス、106はラッチクロック、107はクロック102に同期した64階調3画素（6ビット×3画素=18ビット）の表示データバスである。また、108は表示データバス107を順次ラッチする192画素分のラッチ回路、109は各々ラッチ回路108の6ビット192画素のラッチデータバス、110はラッチデータバス109のラッチデータをラッチクロック106のハイレベルでラッチする6ビット×192画素分のラッチ回路、111は各々ラッチ回路110の6ビット192画素のラッチデータバスである。

【0215】ラッチアドレス制御回路101は、制御信号103が有効（ローレベル）になると、クロック102の立上りに同期して出力バス105の出力をS0から

S63までを順次1出力ずつ、クロック102の1周期の期間有効（ローレベル）にする。これにより表示データバス107のデータを3画素ずつ64回、合計192画素分のデータを順次ラッチ回路108にラッチし、それぞれラッチデータバス109に出力する。また、ラッチアドレス制御回路101は、出力S63を有効にすると、後段の液晶駆動回路への制御信号104を有効（ローレベル）にする。その後、ラッチアドレス制御回路101は、クロック102の1周期後に出力S63を無効（ハイレベル）にし、次にラッチクロック106が有効（ハイレベル）になった後、制御信号103が有効になるまで動作しない。

【0216】ラッチ回路110は、ラッチクロック106の立上りエッジにより、ラッチデータバス109のラッチデータを192画素分同時にラッチし、192画素分それぞれラッチデータバス111に出力する。

【0217】また、1112はラッチデータバス111のデータを64階調の液晶電圧生成用にデコードする192出力分のデコーダ回路、1113は低出力インビータンス駆動を制御する制御信号、1114はデコーダ回路1112でデコードした1出力16本、192出力分の制御信号バス、1115は64階調の液晶電圧の基準電圧V8からV0の9本の液晶電源バス、1116は制御信号1114と液晶電源バス1115から64階調の液晶電圧を生成する192出力分の液晶電圧生成回路、1117は64階調の液晶電圧出力192本の液晶電圧出力バスである。

【0218】デコーダ回路1112は、ラッチデータバス1111の1出力6ビットのラッチデータの上位3ビットから、電圧選択制御信号SU0からSU7の8本を生成し、下位3ビットと制御信号1113とから、分圧選択制御信号SL0からSL7の8本を生成する。1出力当たり16本の制御信号バス1114は液晶電圧生成回路1116に入力し、電圧選択制御信号SU0からSU7の8本で液晶電源バス1115のV8からV0の9本のうち二つの電圧を選択し、分圧選択制御信号SL0からSL7の8本で選択した二つの電圧を分圧抵抗で8等分した電圧の中から一つ電圧を選択し、液晶電圧出力バス1117として出力する。この液晶電圧出力バス1117の各出力は液晶パネルに接続されており、液晶素子に表示データ107に対応した電圧を印加することが出来る。

【0219】次に、図33、図34、図35を用いてデコーダ回路1112、液晶電圧生成回路1116の詳細な説明をする。

【0220】図33は液晶電圧生成回路1出力分のブロック図である。図33において、2201、2202は液晶電源バス115から二つの電圧を選択する電圧選択素子群、2203、2204はそれぞれ電圧選択素子群2201、2202で選択した選択電圧、2205は選

10

20

30

40

50

択電圧2203、2204の電圧差を8等分する分圧回路、2206は分圧抵抗素子群、2207は分圧抵抗素子群2206で8等分した電圧を選択する電圧選択素子群である。

【0221】図34はラッチデータ1111の1出力6ビットのうち上位3ビットをデコードして生成する電圧選択制御信号SU0からSU7の8本の真理値図である。また、図35はラッチデータ1111の1出力6ビットのうち下位3ビットと制御信号1113をデコードして生成する分圧選択制御信号SL0からSL7の8本の真理値図である。

【0222】ここでは、1出力分の液晶電圧生成動作について説明する。液晶電源バス1115の電圧関係は $V8 > V7 > V6 > V5 > V4 > V3 > V2 > V1 > V0$ として説明する。

【0223】電圧選択制御信号バス1114に対応して、高電位側の電圧選択素子群2201と低電位側の電圧選択素子群2202のうち、それぞれ一つが導通状態となり、高電位側の選択電圧2203、低電位側の選択電圧2204を出力する。図34に示すように、電圧選択制御信号バス1114のうち、SU0は表示データの上位3ビットラッチデータが“000”の時有効（ハイレベル）になる制御信号、SU1は表示データの上位3ビットが“001”の時有効（ハイレベル）になる制御信号、SU2は表示データの上位3ビットが“010”の時有効（ハイレベル）になる制御信号、SU3は表示データの上位3ビットが“011”の時有効（ハイレベル）になる制御信号、SU4は表示データの上位3ビットラッチデータが“100”の時有効（ハイレベル）になる制御信号、SU5は表示データの上位3ビットが“101”の時有効（ハイレベル）になる制御信号、SU6は表示データの上位3ビットが“110”の時有効（ハイレベル）になる制御信号、SU7は表示データの上位3ビットが“111”の時有効（ハイレベル）になる制御信号である。つまり、SU0が有効の時は、V1が選択電圧2203として、V0が選択電圧2204として選択され、SU1が有効のときは、V2が選択電圧2203として、V1が選択電圧2204として選択される。以下同様にデコード値に対応した電圧とその1レベル上の電圧を選択する。

【0224】そして、選択電圧2203と選択電圧2204は、分圧回路2205に電圧を出力する。分圧回路2205は分圧制御信号バス1113に応じて、分圧抵抗素子群2206によって選択電圧2203の電位を含む8レベルに分圧した電圧のうち、電圧選択素子群2207によって1レベルを選択して液晶電圧出力バス1117に出力する。図35に示すように、制御信号1113が“1”の時はラッチデータ1111の値によらず制御信号SL7が有効（ハイレベル）になり電圧選択素子が直列に二つつながる低インピーダンス駆動を行う。つ

まり、高電位側の選択電圧2203を、分圧抵抗を介さないでオン抵抗の小さい二つの電圧選択素子のみを介した低インピーダンス駆動により、液晶パネルに高速書き込みを行う。制御信号1113は、ラッチクロック106の立上りに同期して立上り低インピーダンス駆動を行う。2つの出力状態の設定時間の割合は、液晶パネル負荷（容量成分、抵抗成分がある）、液晶駆動回路の出力インピーダンスの大きさにより異なる。目安としては、N個の電圧から選択した1電圧を印加する時間：分圧した電圧を印加する時間が、約1～2：10である。

【0225】制御信号1113が立下がり“0”となると、分圧選択制御信号バス1113のうち、SL0は表示データの下位3ビットラッチデータが“000”の時有効（ハイレベル）になる制御信号、SL1は表示データの下位3ビットラッチデータが“001”の時有効（ハイレベル）になる制御信号、SL2は表示データの下位3ビットラッチデータが“010”の時有効（ハイレベル）になる制御信号、SL3は表示データの下位3ビットラッチデータが“011”の時有効（ハイレベル）になる制御信号、SL4は表示データの下位3ビットラッチデータが“100”の時有効（ハイレベル）になる制御信号、SL5は表示データの下位3ビットラッチデータが“101”の時有効（ハイレベル）になる制御信号、SL6は表示データの下位3ビットラッチデータが“110”の時有効（ハイレベル）になる制御信号、SL7は表示データの下位3ビットラッチデータが“111”の時有効（ハイレベル）になる制御信号である。

【0226】電圧選択素子群2207は、SL0が有効の場合は選択電圧2203と選択電圧2204の電位差を8等分した電圧のうち、低電位側から1番目の電位を選択し、SL1が有効の場合は選択電圧2203と選択電圧2204の電位差を8等分した電圧のうち、低電位側から2番目の電位を選択する。以下同様に、表示データの下位3ビットのデコード値に対応して、選択電圧2203と選択電圧2204の電位を8等分した電圧と選択電圧2203の電位の8レベルの中から1つの電位を選択する。

【0227】このような回路構成にすることで液晶電圧生成回路1116は、選択電圧8組×8分圧=64階調分の電圧を生成し、6ビットの表示データに対応した電圧を出力できる。つまり、ラッチクロック106の立上りに同期して立上った制御信号1113が“1”の期間、液晶電源V0からV8のうち表示データ上位3ビットで選択する選択電圧の高電位側の選択電圧を低インピーダンス駆動により、液晶パネルに高速書き込みを行い、制御信号1113が“0”の期間、64階調電圧のうち表示データに対応した液晶電圧を分圧抵抗を介した高インピーダンス駆動により液晶パネルに書き込みを行う。

【0228】更に、図32、図33、図34、図35を用いて、本実施例の動作の詳細な説明をする。ラッチ回路108は、ラッチアドレス制御回路101の出力バス105に従って、表示データバス107の表示データを順次ラッチし、ラッチ出力をラッチデータバス109に出力する。この時のラッチ回路108にラッチする表示データを上位ビットから“110100”とすると、ラッチデータバス109のデータは、“110100”となる。その後、ラッチデータバス109のデータは、ラッチ回路110がラッチクロック106の立上がりにより同期してラッチし、ラッチデータバス1111に出力する。ラッチデータバス1111のラッチデータはデコーダ回路1112に入力し、上位3ビットは図34に示す真理値図、下位3ビットは図35に示す真理値図に従ってデコードされる。この結果、電圧選択制御信号SU6 *

$$Y_n = V_7$$

となる。

【0230】また、制御信号1113が“0”の高インピーダンス駆動期間は分圧選択制御信号SL4が有効であるため、電圧選択素子群2207は、分圧選択制御信※20

$$Y_n = V_6 + (V_7 - V_6) \times 5/8 \quad (n = 0, 1, 2, \dots, 191)$$

となる。

【0231】このように表示データの上位3ビットにより選択電圧2203、2204の組合せを8通りとすることができ(図34参照)、さらに表示データの下位3ビットで選択電圧2203、2204の8分圧のうち1つを選択することができるため、表示データに対応した8組×8分圧=64階調の電圧を生成することができる。

【0232】しかし、以上述べた液晶電圧生成動作については、配線抵抗、選択素子のオン抵抗、素子ばらつきが考慮されておらず、実際の回路では液晶電圧出力にオフセット電圧が生じる。このオフセット電圧の大きさとばらつきは液晶パネルの表示品質に影響するため、オフセット電圧を考慮する必要がある。

【0233】次に、図36、図37、図38、図39、図40、図41、図42、図43を用いて配線抵抗、選択素子のオン抵抗、素子ばらつきを考慮した本実施例の回路方式でのオフセット電圧について説明する。

【0234】図36は、チップ全体レイアウト概略図、図37は出力1系統のレイアウト図、図38は配線抵抗、選択素子のオン抵抗を考慮してない液晶電圧生成回路等価回路、図39、図40は配線抵抗、選択素子のオン抵抗を考慮した液晶電圧生成回路等価回路、図41はオフセット電圧を示す図、図42は液晶の電圧、輝度特性を示す図である。

【0235】図36において、2500は液晶駆動回路のICチップ、2501はラッチアドレス制御部のレイアウト領域、502は液晶電源の電源配線バスのレイアウト領域、503は図32のブロック図のラッチ回路1

*と、制御信号1113が“1”の低インピーダンス駆動期間は分圧選択制御信号の制御線SL7が有効となり、制御信号1113が“0”の高インピーダンス駆動期間は分圧選択制御信号の制御線SL4が有効となる。

【0229】以下、図33を用いて液晶電圧生成回路1116の詳細な動作を説明する。電圧選択制御信号SU6が有効であるため、高電位側電圧選択素子群2201は選択電圧2203に電圧V7を、低電位側電圧選択素子群2202は選択電圧2204に電圧V6を出力し、分圧回路2205に入力する。一方、制御信号1113が“1”の低インピーダンス駆動期間は分圧選択制御信号の制御線SL7が有効であるため、電圧選択素子群2207は、分圧選択制御信号SL4が接続されている選択素子が導通状態になり液晶電圧出力バス1117は

$$(n = 0, 1, 2, \dots, 191)$$

※号SL4が接続されている選択素子が導通状態になり、分圧抵抗素子群2206が各レベルを等分割している場合、液晶電圧出力バス1117は

$$(n = 0, 1, 2, \dots, 191)$$

05、ラッチ回路110、デコーダ回路1112、液晶電圧生成回路1116を合わせたレイアウト領域、503-0から503-191は1出力分のレイアウト領域である。また、図37は、レイアウト領域503-0の詳細なレイアウト領域を示しており、503-1から503-191についても等価である。本実施例では、電源配線の配線抵抗によるオフセット電圧を小さくするため液晶電源は2ヶ所の入力端子から入力し、1出力ごとにデータの流れの一貫しているラッチ回路105、ラッチ回路110、デコーダ回路1112、液晶電圧生成回路1116を1出力ごとに一まとまりにしてレイアウトを行い、ラッチ回路108を制御するラッチアドレス制御回路101を分けてレイアウトを行う。これにより、配線のながれに沿った効率の良いレイアウトとなりチップ面積を縮小することができる効果がある。

【0236】従って、ICチップの液晶電源の入力端子から入力端子までの液晶電圧生成回路の等価回路は、図38、図39、図40のようになる。

【0237】図38は一組の選択電圧の中に192個の出力が選択された場合の等価回路で、2701-0、2701-1は液晶電源V0からV8の二つの選択電圧の一方の2ヶ所の入力端子を表しており、2702-0、2702-1は他方の2ヶ所の選択電圧である。2703-0から2703-191は図33の8つの抵抗素子からなる分圧抵抗素子群2206をまとめて記述した分圧抵抗RL、2703は分圧抵抗192出力分の分圧抵抗群である。

【0238】図39は一組の選択電圧の中に192個の出力が選択された場合の等価回路で、2801-0、2

801-1は液晶電源V0からV8の二つの選択電圧の一方の2ヶ所の入力端子を表しており、2802-0、2802-1は他方の2ヶ所の選択電圧である。2803-0から2803-191は図33の電圧選択素子群2201の選択された素子のオン抵抗、2804-0から2804-191は図33の電圧選択素子群2202の選択された素子のオン抵抗、2803、2804はそれぞれの抵抗群である。2805-0は入力端子2801-0からレイアウト領域503までの配線抵抗、2805-1は入力端子2801-1からレイアウト領域503までの配線抵抗、2806-0は入力端子2802-0からレイアウト領域503までの配線抵抗、2806-1は入力端子2802-1からレイアウト領域503までの配線抵抗である。2807-0はレイアウト領域503-0から503-95までの電源配線の配線抵抗、2807-1はレイアウト領域503-96から503-191までの電源配線の配線抵抗、2808-0はレイアウト領域503-0から503-95までの電源配線の配線抵抗、2808-1はレイアウト領域503-96から503-191までの電源配線の配線抵抗、2809、2810は二つのレイアウト領域503の間の電源配線の配線抵抗である。そして、図40は、図39が一群の選択電圧の中に192個の出力が選択された場合であるのに対し、1個の出力が選択された場合の等価回路である。ここでRAL2はレイアウト領域503-0から503-191の各領域での電源配線の配線抵抗である。このように、表示データに対応して選択電圧とその選択電圧での出力の選択数が1から192まで変化する。

【0239】次に、等価回路からオフセット電圧の大きさを求める。図41に示すように、図38に示す等価回路では各出力の分圧抵抗2703-0から2703-191の両端にかかる電圧は入力端子Vn、Vn-1の電圧となるため、抵抗素子群206の8つの抵抗素子のチップ内ばらつきがない場合、オフセット電圧Vosはゼロとなる。これに対し、図39、図40に示す等価回路では、各出力の分圧抵抗2703-0から2703-191の両端にかかる電圧は配線抵抗や選択素子のオン抵抗のため生じたオフセット電圧Vosだけ入力端子Vn、Vn-1の電圧に対しずれが生じる。オフセット電圧の大きさは、図39に示す一群の選択電圧の中に192個の出力が選択された場合が最大となり、図40に示す一群の選択電圧の中に1個の出力が選択された場合が最小となる。

【0240】また、液晶印加電圧は電圧の違いにより輝度が異なる特性を持っているため、液晶駆動回路ではオフセット電圧ばらつきのためピン間の電圧差により輝度

差が見え表示品質が悪くなることが問題となる。そこで、オフセット電圧ばらつき ΔV_{os} を次のように定義する。

$$【0241】 \Delta V_{os} = |V_{osmax} - V_{osmin}|$$

つまり、オフセット電圧の最大値 V_{osmax} と最小値 V_{osmin} の差をオフセット電圧ばらつき ΔV_{os} とする。本実施例では輝度差が人の目に見えない範囲以内にオフセット電圧ばらつきを抑えることを目的とする。

【0242】次に、図39、図43を用いてオフセット電圧の最大値 V_{osmax} について説明する。オフセット電圧が最大になるのは、図39に示す等価回路のように、一群の選択電圧の中に192個の出力が選択され、電源配線長が最も長く配線抵抗が最大となる分圧抵抗2703-95、2703-96の両端である。液晶電圧回路は図39において左右対称であるため左半分の等価回路でオフセット電圧を考える。図43は図39の等価回路の左半分を示した図で分圧抵抗2703-95の両端にかかるオフセット電圧最大値 V_{osmax} を求める。

【0243】オフセット電圧が最大となる素子ばらつきの条件は R_{on} が最大、 R_L が最小、 R_{AL1} が最大、 R_{AL2} が最大のときであり、そのときの素子ばらつきは係数をそれぞれ A_{Ronmax} 、 A_{RLmin} 、 $A_{RAL1max}$ 、 $A_{RAL2max}$ とすると

$$R_{onmax} = R_{on} \cdot A_{Ronmax}$$

$$R_{Lmin} = R_L \cdot A_{RLmin}$$

$$R_{AL1max} = R_{AL1} \cdot A_{RAL1max}$$

$$R_{AL2max} = R_{AL2} \cdot A_{RAL2max}$$

となる。

【0244】図43において、配線抵抗2805-0、2806-0の間の R_{AL2} 、 R_{on} 、 R_L からなるラダー回路の合成抵抗を R_1 とすると配線抵抗2805-0、2806-0で生じるオフセット電圧 V_{osR1} は、 $\Delta V = |V_n - V_{n-1}|$ とすると

【0245】

【数3】

【数3】

$$V_{osR1} = \Delta V \frac{R_{AL1max}}{2 \cdot R_{AL1max} + R_1}$$

【0246】となり、図43の点 $V_{osRAL(1)}$ でのオフセット電圧 $V_{osRAL(1)}$ は、オン抵抗2803-1、分圧抵抗2703-1、オン抵抗2804-1の右側の回路の合成抵抗を $R(1)$ とすると

【0247】

【数4】

【数4】

$$V_{osRAL(1)} = \frac{(AV - 2 \cdot VosR1)RAL2max}{(2 \cdot Ronmax + RLmin)R(1)} + VosR1$$

$$\frac{2 \cdot RAL2max}{2 \cdot Ronmax + RLmin + R(1)}$$

【0248】となる。以降、同様にして

*【数5】

【0249】

*

【数5】

$$V_{osRAL(2)} = \frac{(AV - 2 \cdot VosRAL(1))RAL2max}{(2 \cdot Ronmax + RLmin)R(2)} + VosRAL(1)$$

$$\frac{2 \cdot RAL2max}{2 \cdot Ronmax + RLmin + R(2)}$$

$$V_{osRAL(96)} = \frac{(AV - 2 \cdot VosRAL(95))RAL2max}{2 \cdot Ronmax + RLmin + 2 \cdot RAL2max} + VosRAL(95)$$

【0250】となる。

※【0252】

【0251】従って、オフセット電圧最大値 V_{osmax} は ※

【数6】

【数6】

$$V_{osmax} = \frac{(AV - 2 \cdot VosRAL(96))Ronmax}{2 \cdot Ronmax + RLmin} + VosRAL(96)$$

【0253】と求まる。

【0254】次に、図40を用いてオフセット電圧の最小値 V_{osmin} について説明する。オフセット電圧が最小になるのは、図40に示す等価回路のように、一組の選択電圧の中に1個の出力のみが選択され、電源配線の配線抵抗が最小となる分圧抵抗2703-0の両端である。オフセット電圧最小値 V_{osmin} は次のように求まる。

【0255】オフセット電圧が最小となる素子ばらつきの条件は R_{on} が最小、 RL が最大、 $RAL1$ が最小、 $RAL2$ が最小、 $RAL3$ が最小のときであり、そのときの素子ばらつきは係数をそれぞれ AR_{onmin} 、 $ARLmax$ 、 $ARAL1min$ 、 $ARAL2min$ 、 $ARAL3min$ とすると

$$Ronmin = Ron \cdot AR_{onmin}$$

$$RLmax = RL \cdot ARLmax$$

$$RAL1min = RAL1 \cdot ARAL1min$$

$$RAL2min = RAL2 \cdot ARAL2min$$

$$RAL3min = RAL3 \cdot ARAL3min$$

となる。

【0256】図40において、 $RAL1$ 、 $RAL2$ 、 $RAL3$ 、 Ron 、 RL からなるラダー回路の合成抵抗から点 V_{osmin} で生じるオフセット電圧最小値 V_{osmin} は、 $\Delta V = |V$

$$n - V_{n-1}| \text{ とすると}$$

【0257】

【数7】

【数7】

$$V_{osmin} = \Delta V \frac{(RAL1min + 192 \cdot RAL2min + RAL3min)RAL1min}{2 \cdot RAL1min + 192 \cdot RAL2min + RAL3min} + Ronmin$$

$$2 \frac{(RAL1min + 192 \cdot RAL2min + RAL3min)RAL1min}{2 \cdot RAL1min + 192 \cdot RAL2min + RAL3min} + 2 \cdot Ronmin + RLmax$$

【0258】と求まる。

【0259】従って、オフセット電圧ばらつきは ΔV_{os} は、オフセット電圧最大値 V_{osmax} とオフセット電圧最小値 V_{osmin} の差から求めることができる。

【0260】以上求めたように、オフセット電圧ばらつきは選択電圧電位差 $\Delta V = |V_n - V_{n-1}|$ に比例し、配線抵抗 $RAL1$ 、 $RAL2$ 、 $RAL3$ 、選択素子のオン抵抗 R_{on} 、分圧抵抗 RL をパラメータとして求めることができる。

【0261】従って、これらのパラメータ変えることで、液晶パネルへの書き込み特性、チップ面積を考慮しつつ、輝度差が人の目に見えない範囲以内にオフセット電圧ばらつきを制御することが可能である。

【0262】また、図42は一般的な液晶の電圧、輝度特性を示しており、横軸が液晶印加電圧、縦軸が相対輝度を対数目盛で表したものである。このように、液晶の輝度は電圧に対してリニアな特性を持っていない。このため階調電圧の設定も各電圧で等間隔とはならず、液晶電源 $V0$ から $V8$ の電圧設定も等間隔とはならない。

【0263】出力バッファで駆動する場合オフセット電圧は出力バッファ回路の性能で決まり選択電圧に因らず一定であるのに対し、本液晶駆動回路の液晶電圧生成回路では、二つの選択電圧203、204の電位差にオフセット電圧の大きさが比例しているため、オフセット電圧の精度が要求される選択電圧の電位差が小さく階調電圧の差が小さいところでも、オフセット電圧を小さくすることが容易である。

【0264】また、図33に示す液晶電圧生成回路の選択素子、抵抗素子の動作電圧範囲は本液晶駆動回路の電源電圧幅と等しいため液晶電源115は、本液晶駆動回路の電源電圧幅の範囲で任意に設定することができる。

【0265】本実施例によれば、低インピーダンス駆動と高インピーダンス駆動を用いて、表示データに対応した64階調液晶電圧を液晶パネルに高速に書き込みを行うことができ、輝度差が人の目に見えない範囲以内にオフセット電圧ばらつきを制御することができる。

【0266】また、本実施例においては階調数が64階調、出力数が192個の場合について説明したが、階調数や出力数が変化した場合でも容易に対応することができる。例えば256階調の場合、外部入力電圧数を17レベルとすると、表示データが8ビットとなるためそれに対応してラッチ回路やデータバスを8ビットにし、デコーダ回路を電圧16組×16分圧=256階調電圧に

対応する構成にすることで対応できる。さらに、出力数が120個の場合、ラッチアドレス制御回路を120出力に対応した3画素を40回ラッチする構成にし、ラッチ回路、デコーダ回路、液晶電圧生成回路も120出力分の構成とし、オフセット電圧ばらつきも液晶電圧生成回路の等価回路を120出力の構成とし素子パラメータを変えることで同様に制御できる。

【0267】本発明の実施例を用いた液晶表示装置の構成を図44、図45を用いて説明する。図44は前記液晶駆動回路を用いた液晶表示装置の簡単な構成図、図45は上部液晶駆動回路群の構成図を示す。

【0268】1301はR、G、B用の各色6ビット表示データのデータバス、1302はドットクロック、1303は水平同期信号、1304は垂直同期信号、1305は液晶表示コントローラである。データバス1301の表示データは、ドットクロック1302に同期して液晶表示コントローラ1305に入力する。更に液晶表示コントローラ1305には、水平同期信号1303と垂直同期信号1304が入力する。液晶表示コントローラ1305は、ドットクロック1302からクロック102を生成し、水平同期信号1303からクロック106、制御信号1113を生成し、液晶表示装置が駆動できるように表示データの並び換えやクロックの制御を行う。

【0269】1307は前記192出力の液晶駆動回路5個で構成する上部液晶駆動回路群、1308は前記192出力の液晶駆動回路5個で構成する下部液晶駆動回路群、1309は上部液晶駆動回路用の表示データのデータバス、1310は上部液晶駆動回路用の表示データのデータバス、1311は上部液晶駆動回路群の液晶表示電圧バス、1312は下部液晶駆動回路群の液晶表示電圧バス、1313は1920画素×480ラインで構成されるアクティブマトリクス型の液晶パネル、1314は交流化信号、1315は液晶表示用電源回路、1316は対向電極用電圧を伝播する出力、1317は上部用電圧バス、1318は下部用電圧バスである。上部液晶駆動回路群1307には液晶表示コントローラ1305から表示データバス1309により表示データが伝送され、その表示データに対応した電圧を電圧バス1317から選択し液晶表示電圧バス1311に出力し、液晶パネル1313に出力する。下部液晶駆動回路群1308には液晶表示コントローラ1305から表示データバ

ス1310により表示データが伝送され、その表示データに対応した電圧を電圧バス1318から選択し液晶表示電圧バス1312に出力し、液晶パネル1313に出力する。液晶表示電圧バス1311と液晶表示電圧バス1312の各出力線は、液晶パネル1313の縦ラインに接続しており、且つお互いに同一縦ラインに接続しないように一つ置きに接続してある。液晶表示用電源回路1315は、アクティブマトリクス型液晶パネルの対向電極に供給する電圧を生成し、出力1316に伝播する。また、液晶表示用電源回路1315は、交流化信号1314に同期して、電圧バス1317に出力する電圧を出力1316の電位に対して、交流化信号1314が有効時は正極性の電圧を出力し、無効時は負極性の電圧を出力する。また、電圧バス1318に出力する電圧は、出力1316の電位に対して交流化信号1314が有効時は負極性の電圧を出力し、無効時は正極性の電圧を出力する。

【0270】1319-0から1319-2は160出力の走査駆動回路、1320はクロック、1321は走査駆動回路のオン電圧の出力、1322は走査駆動回路のオフ電圧の出力、1323-0、1323-1は次段の走査駆動回路への制御信号、1324は走査駆動回路1319-0から1319-3の出力バス、1325は液晶表示装置である。クロック1320は、垂直同期信号1304を用いて液晶表示コントローラ1305で生成される。走査駆動回路1323-0は、液晶用表示コントローラ1305の出力するクロック106に同期して、出力バス1324の出力線をS0からS159まで順次クロック106の1周期の期間だけ出力1321のオン電圧を出力する。選択されていない出力線は出力1321のオフ電圧を出力する。走査駆動回路1319-0は、S159にオン電圧を出力すると後段への制御信号1323-0を有効にし、クロック106の1周期の期間後出力S159にオフ電圧を出力する。走査駆動回路1319-1、1319-2も前段からの制御信号1323-0、1323-1が有効になると同様の動作をする。また、クロック1320が有効になると、再び走査駆動回路1319-0のS0にオン電圧が出力され、その後クロック106に同期して動作する。

【0271】図45は、上部液晶駆動回路群の構成図である。

【0272】上部液晶駆動回路群1307は、前記の第1の実施例に用いた液晶駆動回路を5個直列に接続した回路構成になっている。各々192個の表示データに順次記憶する動作をし、1水平ライン分のデータに対応した液晶電圧を出力する。また、表示データバス1309と液晶電源バス1317は、前記の第1の実施例での表示データバス107と液晶電源バス1115と同じである。また、下部液晶駆動回路群1308も上部液晶駆動回路群1307と同様な構成となっている。

【0273】次に、図44、図45を用いて本実施例のアクティブマトリクス型液晶パネル1313の1ライン目に電圧を印加する場合の動作について説明をする。

【0274】ドットクロック1302に同期してデータバス1301で伝送されてきた表示データは、液晶表示コントローラ1305で上部液晶駆動回路群1307と下部液晶駆動回路群1308のデータに分けられ、それぞれデータバス1309とデータバス1310にクロック102に同期して出力される。液晶コントローラ1305は、1ライン分の表示データを出力すると、クロック106と制御信号1113を有効にする。以下、図45を用いて説明する。データバス1309の表示データは、クロック102に同期して液晶駆動回路100-0にラッチされる。液晶駆動回路100-0は、192個の表示データのラッチ中に次段への制御信号104-0を有効にする。有効になった制御信号104-0が入力した液晶駆動回路100-1は、クロック102に同期してデータバス1309のデータをラッチする。このようにして1ライン分の表示データをラッチする。その後、図44に示すクロック1320が有効になり、走査駆動回路1319-0のS0にオン電圧が出力され、アクティブマトリクス型液晶パネル1313の1ライン目が有効になる。またクロック1320に同期してクロック106が有効になると、それに同期して液晶駆動回路100-0から100-5はラッチしたデータを2段目のラッチ回路に同時にラッチする。そして、クロック106に同期した制御信号1113が有効な期間は選択電圧の高電位側の選択電圧を液晶表示電圧バス1311に出力し、制御信号1113が有効でない期間は6ビットのラッチデータに対応した分圧電圧を液晶表示電圧バス1311に出力する。また、下部液晶駆動回路群1308も上部液晶駆動回路群1307と同様な動作をする。このようにして、1ラインの分の表示データに対応した電圧をアクティブマトリクス型液晶パネル1313の1ライン目の各画素に印加できる。1ライン目の出力中に液晶駆動回路100-0から100-4は、2ライン目の表示データをラッチする。

【0275】この動作を繰り返すことにより、アクティブマトリクス型液晶パネルの表示が行える。

【0276】表示データのビット数の増加については、データバスのバス幅と液晶駆動回路のビット数と出力電圧数を増加させることで対応できる。液晶駆動回路の構成によっては、電圧バスの電圧数を増加させてもよい。

【0277】本発明の実施例を用いた情報処理装置の構成を図46を用いて説明する。図46は前記液晶表示装置を用いた情報処理装置のブロック図を示す。

【0278】1501は情報処理装置であり、1502は中央演算回路、1503はアドレスバス、1504はデータバス、1505はメモリ、1506は表示コントローラ、1507は表示コントローラの出力バス、15

08は表示メモリである。

【0279】中央演算回路1502は、データバス1504からのデータにより、データバス1504にデータの出力やデータの読み込みを行ったり、アドレスバス1503にアドレスを出力する。メモリ1505はアドレスバス1503のアドレス値がメモリの番地を指示していた場合、その番地のメモリとデータバス1504を導通状態にする。表示コントローラ1506は、アドレスバス1503のアドレス値が表示コントローラ1506を指示していた場合、データバス1503と表示コントローラ1506内のメモリを導通状態にする。表示コントローラ1506は、内部メモリデータに応じて表示メモリを出力バス1507で制御し、更にドットクロック1302、水平同期信号1303、垂直同期信号1304を生成し、出力する。表示メモリ1508は、アドレスバス1503のアドレス値が表示メモリ1508を指示している場合、表示メモリ1508は、そのアドレス値の示すメモリとデータバス1504を導通状態にする。また、表示コントローラ1506の出力バス1507の出力するデータに応じて、表示メモリ1508の内容を出力バス1301に出力する。

【0280】情報処理装置1501において、表示コントローラ1506及び表示メモリ1508に中央演算回路1502からアクセスがない場合、表示コントローラ1506は、ドットクロック1302に同期して表示データを出力するように、出力バス1507に読み込みを指示する信号とそのドットクロック1302に対応したアドレスデータを出力する。この時表示メモリは、読み込みを指示され、且つアドレスデータが出力バス1507から入力されたので、出力バス1507の指示するアドレスのデータをデータバス1301に出力する。データバス1301は液晶表示装置1325にドットクロック1302に同期して入力する。更に、表示コントローラ1506で生成した水平同期信号1303と垂直同期信号1304が入力する。

【0281】このような構成で本発明の液晶駆動回路を用いた液晶表示装置をパソコン、ワークステーションに接続して動作することができる。

【0282】

【発明の効果】本発明によれば、抵抗素子を介さないでN個の電圧から選択した1電圧をバッファ手段を用いずに直接出力することで出力インピーダンスを小さくすることが可能となり、液晶パネルを高速に駆動することが出来る。すなわち、分圧回路を持つX駆動回路の分圧回路で直接、容量性の付加を駆動する場合、充電/放電時間を短縮できる。更に、現状の液晶表示装置より高抵抗化、短時間充電/放電が必要となる1240×1024ドット以上の高精細液晶表示装置や20インチ以上の大画面液晶表示装置の駆動が可能となる。また、抵抗を用いて分圧する分圧回路においては、抵抗値を下げる必

要がないので、消費電力の増加を最小にすることができ、さらに、精度の高い出力が得られる。また、出力電圧幅を電源電圧幅に等しくすることができる。また、選択手段で選択される異なる二つの電圧の電位差で出力オフセット電圧の大きさを制御することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の192出力のX駆動回路のブロック図である。

【図2】本発明の一の実施例の分圧回路のブロック図である。

【図3】本発明の一の実施例の出力波形図である。

【図4】本発明の一の実施例の192出力のX駆動回路のブロック図である。

【図5】本発明の一の実施例の192出力のX駆動回路のブロック図である。

【図6】本発明の一の実施例の192出力のX駆動回路のブロック図である。

【図7】本発明の一の実施例の分圧回路のブロック図である。

【図8】従来例の問題点の説明図である。

【図9】本発明の一の実施例のゲート回路のブロック図である。

【図10】本発明の一の実施例の液晶表示装置の構成図である。

【図11】本発明の一の実施例の上部X駆動回路群の構成図である。

【図12】本発明の一の実施例の下部X駆動回路群の構成図である。

【図13】本発明の一の実施例のゲート回路のブロック図である。

【図14】本発明の一の実施例の192出力のX駆動回路のブロック図である。

【図15】本発明の一の実施例の192出力のX駆動回路のブロック図である。

【図16】本発明の一の実施例の情報処理装置のブロック図である。

【図17】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

【図18】本発明の一実施例のゲート回路の簡単なブロック図である。

【図19】本発明の一実施例の電圧波形図である。

【図20】本発明の一実施例の分圧回路の簡単なブロック図である。

【図21】本発明の一実施例の出力波形図である。

【図22】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

【図23】本発明の一実施例の分圧回路の簡単なブロック図である。

【図24】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

61

【図25】本発明の一実施例の分圧回路の簡単なブロック図である。

【図26】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

【図27】本発明の一実施例のゲート回路の簡単なブロック図である。

【図28】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

【図29】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

【図30】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

【図31】本発明の一実施例の192出力のX駆動回路の簡単なブロック図である。

【図32】本発明の一実施例の192出力の液晶駆動回路の簡単なブロック図である。

【図33】本発明の一実施例の分圧回路の簡単なブロック図である。

【図34】本発明の一実施例の分圧回路制御信号生成の真理値図である。

【図35】本発明の一実施例の分圧回路制御信号生成の真理値図である。

【図36】本発明の一実施例の192出力の液晶駆動回路のチップレイアウト概略図である。

【図37】本発明の一実施例の出力1系統のレイアウト図である。

【図38】本発明の一実施例の液晶電圧生成回路の等価回路図である。

【図39】本発明の一実施例の液晶電圧生成回路の等価回路図である。

【図40】本発明の一実施例の液晶電圧生成回路の等価回路図である。

【図41】本発明の一実施例のオフセット電圧を示す図である。

【図42】液晶の電圧、輝度特性を示す図である。

【図43】本発明の一実施例の液晶電圧生成回路の等価回路図である。

【図44】本発明の一実施例の液晶表示装置の構成図である。

【図45】本発明の一実施例の上部液晶駆動回路群の構成図である。

【図46】本発明の一実施例の情報処理装置のブロック図である。

【図47】従来例の液晶駆動回路の簡単なブロック図である。

【図48】従来例の分圧回路の簡単なブロック図である。

【符号の説明】

100…X駆動回路、101…シフトレジスタ、102…クロック、103…制御信号、104…制御信号、1

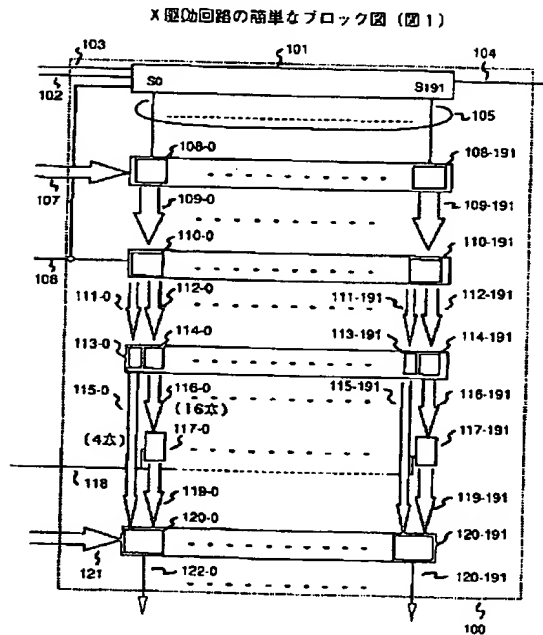
62

05…出力バス、106…クロック、107…データバス、108-0から108-191…ラッチ回路、109-0から109-191…出力バス、110-0から110-191…ラッチ回路、111-0から111-191…出力バス、112-0から112-191…出力バス、113-0から113-191…デコーダ、114-0から114-191…デコーダ、115-0から115-191…出力バス、116-0から116-191…出力バス、117-0から117-191…ゲート回路、A117-0からA117-191…ゲート回路、118…制御信号、119-0から119-191…出力バス、120-0から120-191…分圧回路、A120-0からA120-191…分圧回路、121…電圧バス、122-0から122-191…出力バス、A122-0からA122-191…出力バス、201…電圧セレクタ、202、203…選択スイッチング素子群、204、205…出力、206…分圧回路、207…抵抗群、208…選択スイッチング素子群、209…スイッチング素子、300…出力波形、301…出力波形、400…X駆動回路、401…カウンタ、402…出力バス、403…入力バス、404…コンパレータ、405…制御信号、406…ストップ信号、500…X駆動回路、501-0から501-191…ゲート回路、502-0から502-191…出力バス、600…X駆動回路、601-0から601-191…分圧回路、701…分圧回路、702…分圧抵抗、703…スイッチング素子、704…インバータ、705…出力、706…スイッチング素子、801…シフトレジスタ、802…クロック、803…出力バス、804…表示データバス、805…ラッチ回路、806…出力バス、807…クロック、808…ラッチ回路、809…出力バス、810…出力バス、811…電圧バス、812…電圧セレクタ、813…出力バス、814…分圧回路、815…出力バス、816…バッファ回路、817…出力線、901…ゲート回路、902…ゲート回路、903-1から903-15…AND回路、1001…データバス、1002…ドットクロック、1003…水平同期信号、1004…垂直同期信号、1005…液晶表示コントローラ、1007…上部X駆動回路群、1008…下部X駆動回路群、1009…データバス、1010…データバス、1011…出力バス、1012…出力バス、1013…アクティブマトリックス型液晶パネル、1014…交流化信号、1015…液晶表示用電源、1016…出力、1017…上部用電圧バス、1018…下部用電圧バス、1019-0から1019-2…Y駆動回路、1020…クロック、1021…オン電圧の出力、1022…オフ電圧の出力、1023-0から1023-1…制御信号、1024…出力バス、1025…液晶表示装置、1301-0から1301-3…AND回路、1400…X駆動回路、1401

63

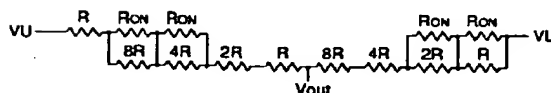
…ラッチクロック、1402…インバータ、1403…出力、1500…X駆動回路、1501…シフトレジスタ、1502…出力バス、1503…R用のデータバス、1504…G用のデータバス、1505…B用のデータバス、1506…R用の電圧バス、1507…G用の電圧バス、1508…B用の電圧バス、1601…情報処理装置、1602…中央演算装置、1603…アドレスバス、1604…データバス、1605…メモリ、1606…表示コントローラ、1607…出力バス、1608…表示メモリ。A401…電圧セクタ、A402…選択スイッチング素子群、A403…選択スイッチング素子群、A404…出力、A405…出力、A406…分圧回路、407…分圧抵抗群、408…選択スイッチング素子群、409…スイッチング素子、A500…出力波形、A501…出力波形、A601…X駆動回路、602…交流化信号、603…上位ビットデコーダ、604…出力バス、605…下位ビットデコーダ、606…出力バス、607…分圧回路、A701…スイッチング素子群、A702…スイッチング素子、A70*

【図1】



【図8】

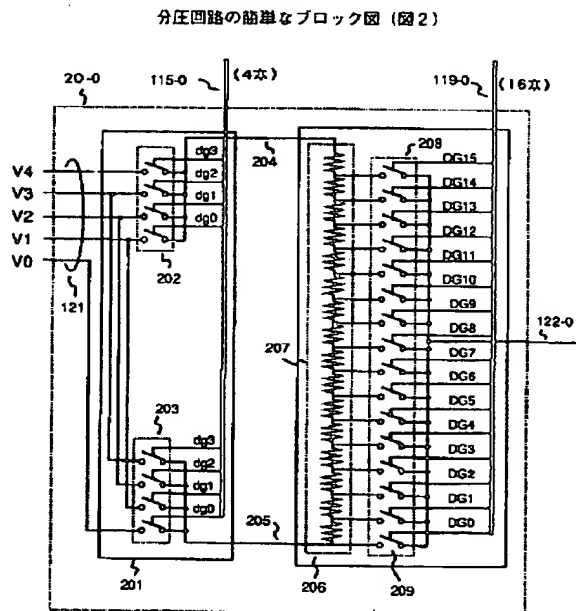
図8



64

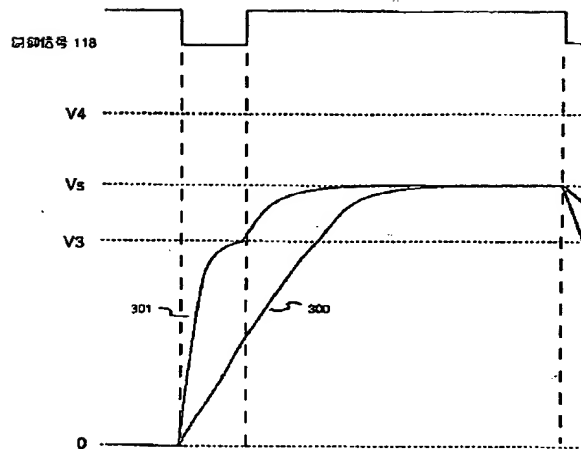
* 3…スイッチング素子、A801…上位ビットのデータ変換回路、A802…出力バス、A803…下位ビットのデータ変換回路、A804…出力バス、A805…デコーダ回路、A806…出力バス、A807…分圧回路、A901, A902…AND回路、A903…インバータ回路、1000…192出力のX駆動回路、A1001-0からA1001-191…ゲート回路、1002-0から1002-191…出力バス、1101-0から1101-191…OR回路、1200…192出力のX駆動回路、1201-0から1201-191…分圧回路、1303…スイッチング素子、1304…インバータ回路、1305…出力、1306…スイッチング素子、1400…192出力のX駆動回路、1401…ラッチクロック、1402…インバータ、1403…出力、1500…192出力のX駆動回路、1501…シフトレジスタ、1502…出力バス、1503…R用のデータバス、1504…G用のデータバス、1505…B用のデータバス、1506…R用の電圧バス、1507…G用の電圧バス、1508…B用の電圧バス、

【図2】



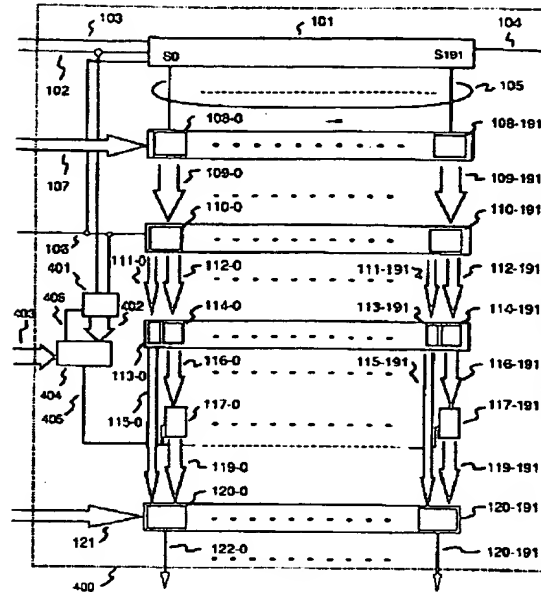
【図3】

出力波形図 (図3)



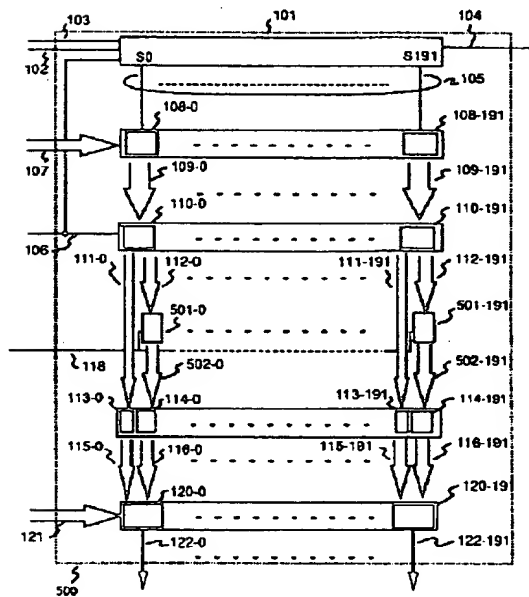
【図4】

X駆動回路の簡易なブロック図 (図4)



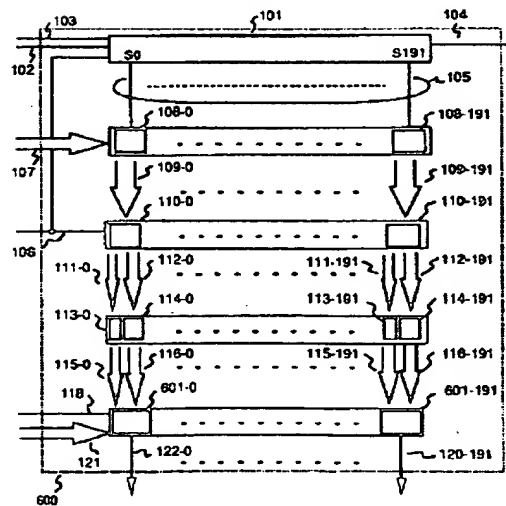
【図5】

X駆動回路の簡易なブロック図 (図5)



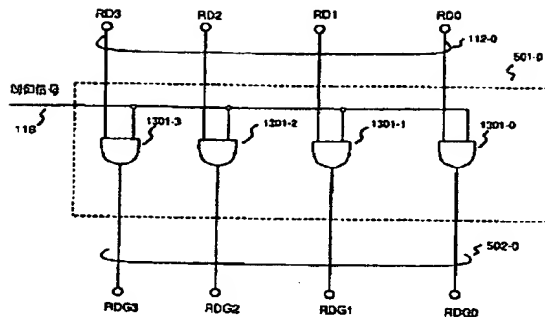
【図6】

X駆動回路の簡易なブロック図 (図6)



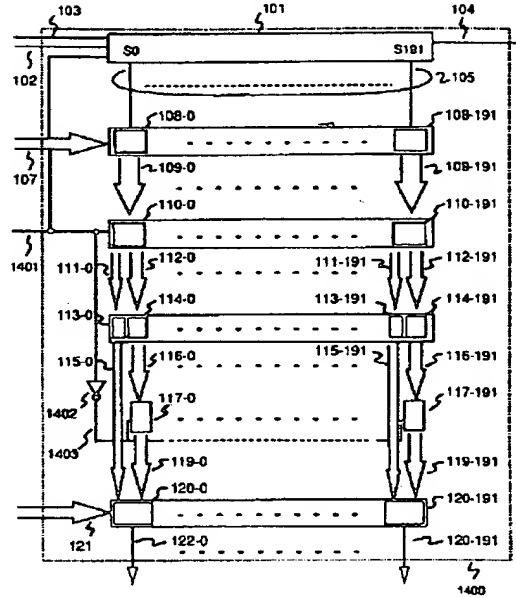
【図13】

ゲート回路 (図13)



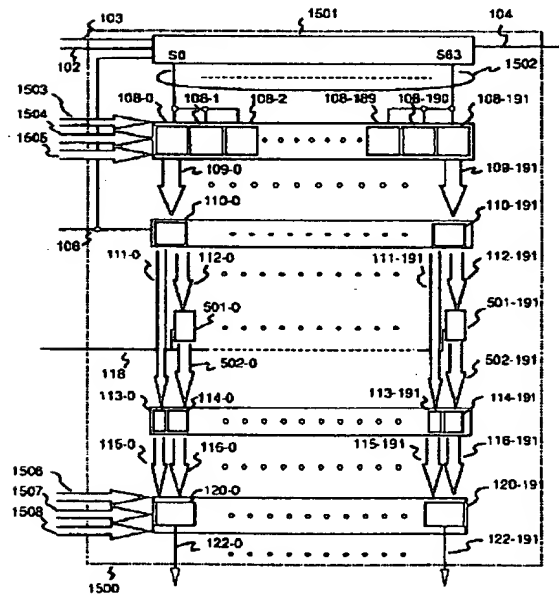
【図14】

X 遅延回路の簡単なブロック図 (図14)



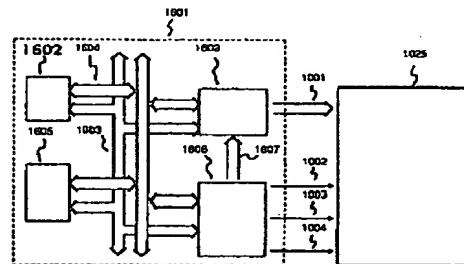
【図15】

X 遅延回路の簡単なブロック図 (図15)



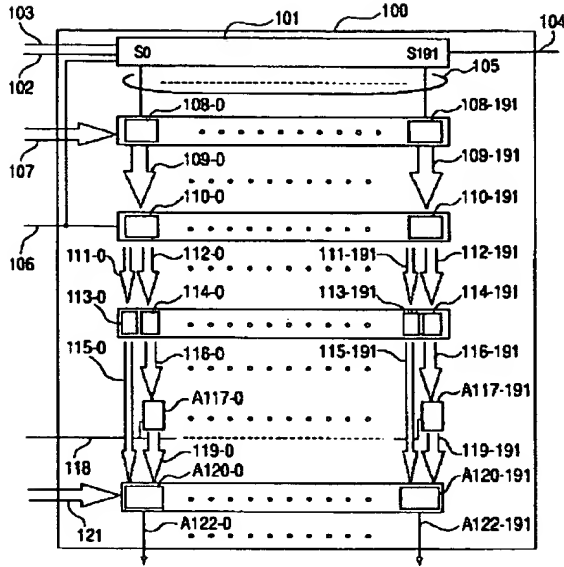
【図16】

情報処理装置のブロック図 (図16)



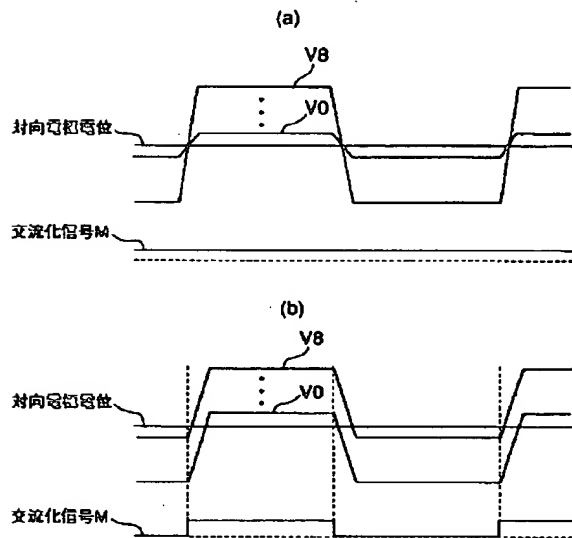
【図17】

図17



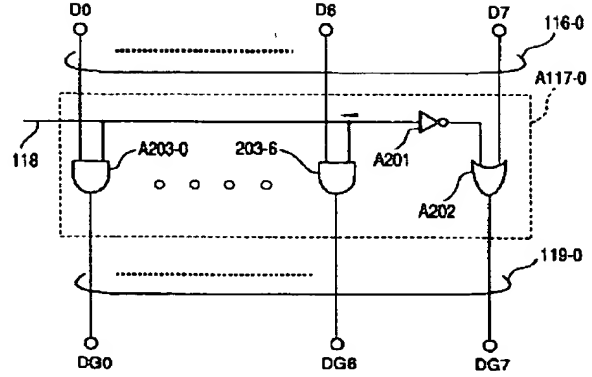
【図19】

図19



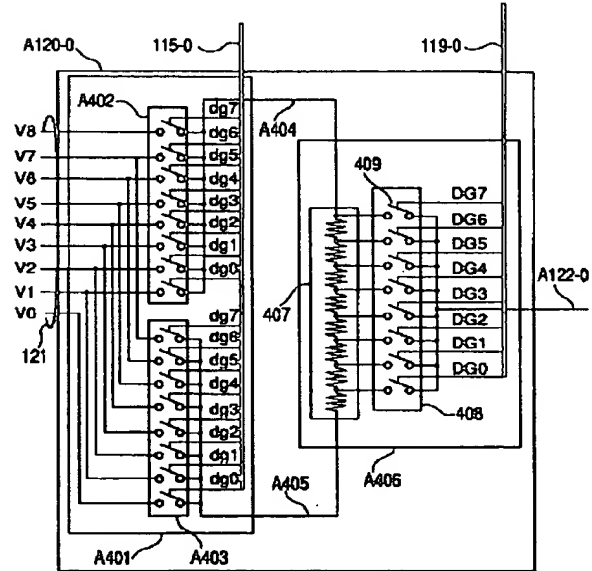
【図18】

図18



【図20】

図20



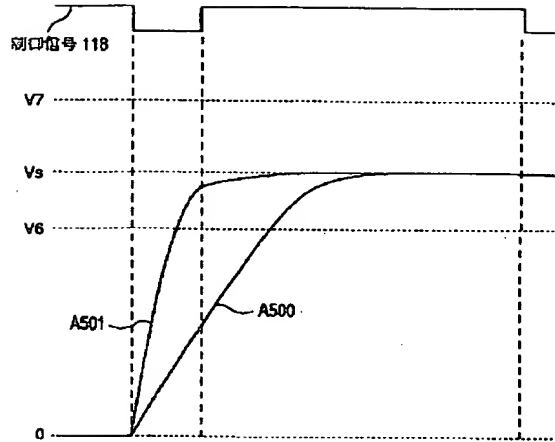
【図34】

図34のビットマップ図 (図34)

ビットマップ				ビットマップ図 (図34)							
D5	D4	D3	SU7	SU6	SU5	SU4	SU3	SU2	SU1	SU0	
0	0	0	0	0	0	0	0	0	0	1	
0	0	1	0	0	0	0	0	0	1	0	
0	1	0	0	0	0	0	0	1	0	0	
0	1	1	0	0	0	0	0	1	0	0	
1	0	0	0	0	0	1	0	0	0	0	
1	0	1	0	0	1	0	0	0	0	0	
1	1	0	0	1	0	0	0	0	0	0	
1	1	1	1	0	0	0	0	0	0	0	

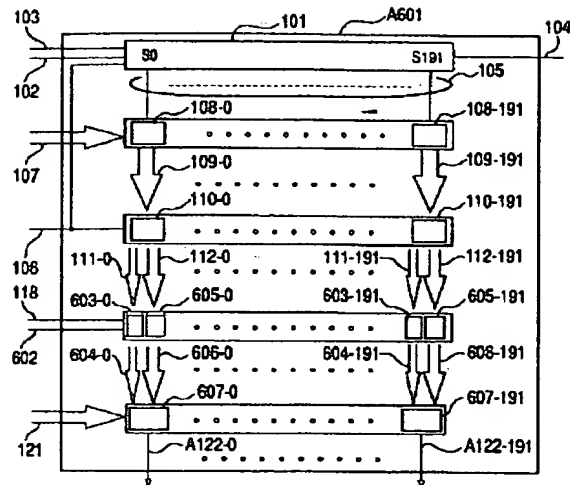
【図21】

図21



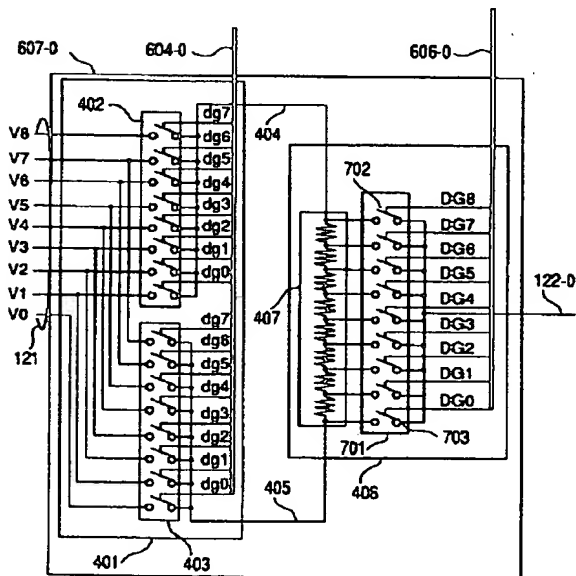
【図22】

図22



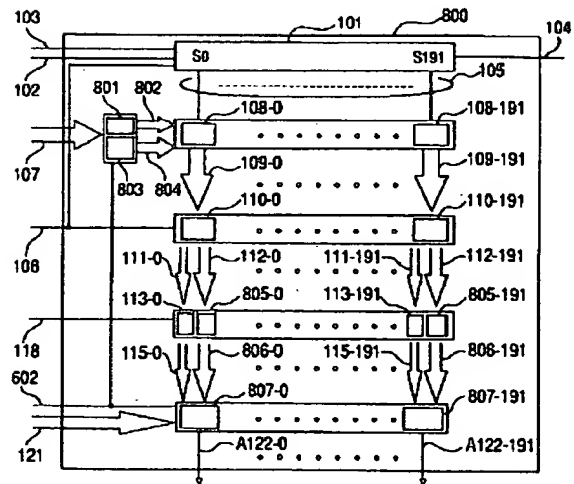
【図23】

図23



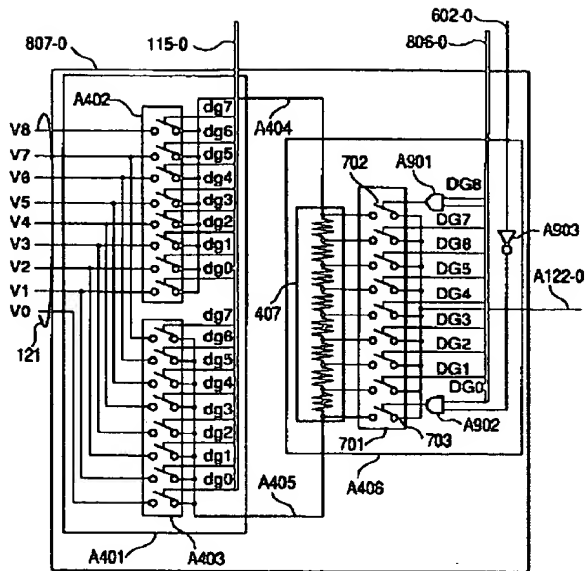
【図24】

図24



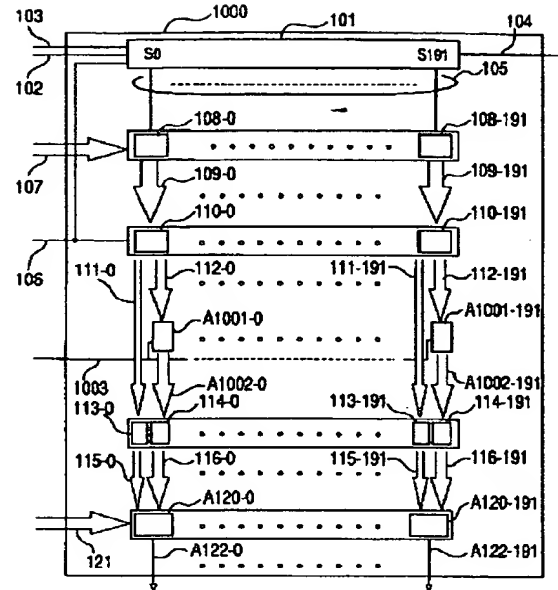
【図25】

図25



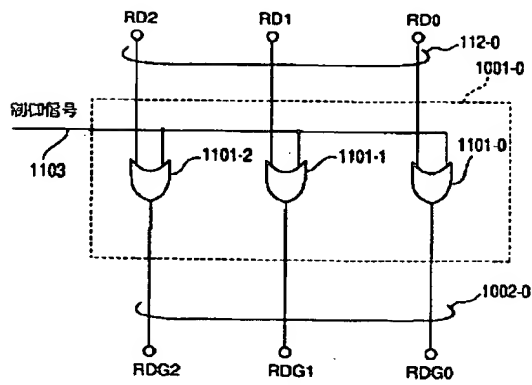
【図26】

図26



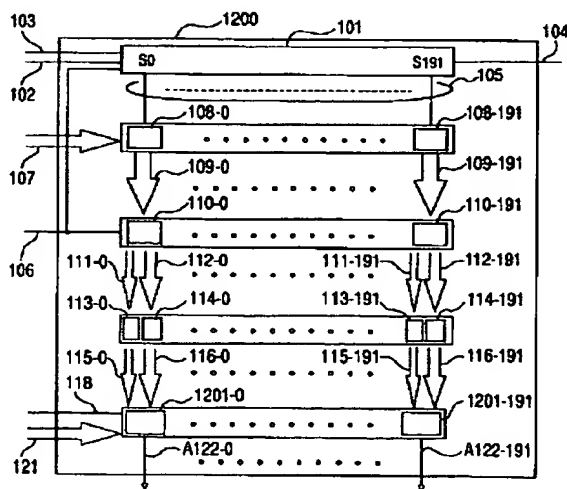
【図27】

図27



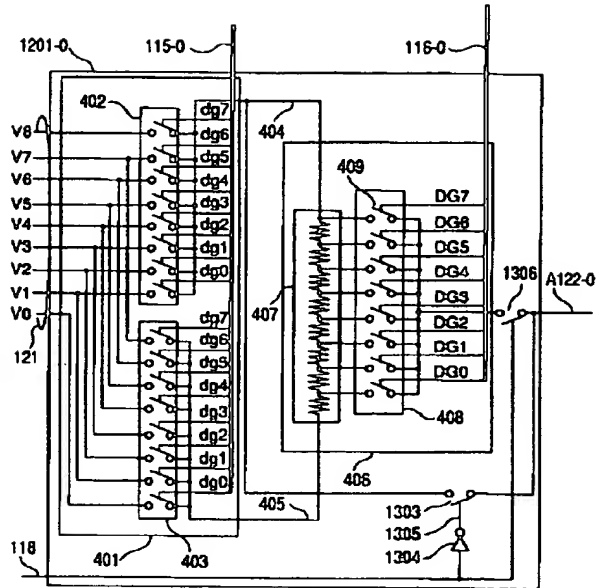
【図28】

図28



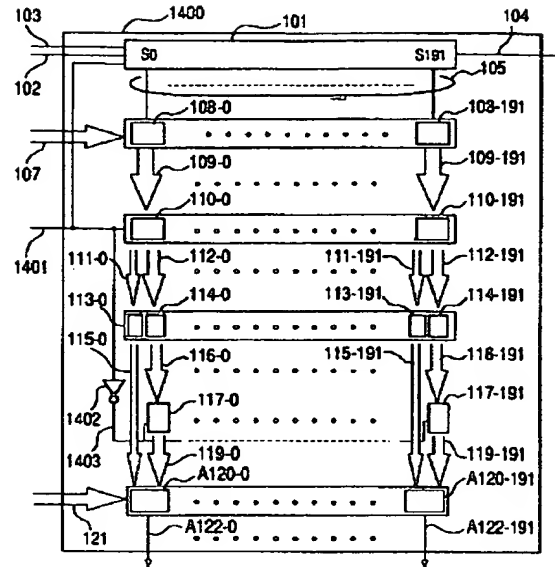
【図29】

図29



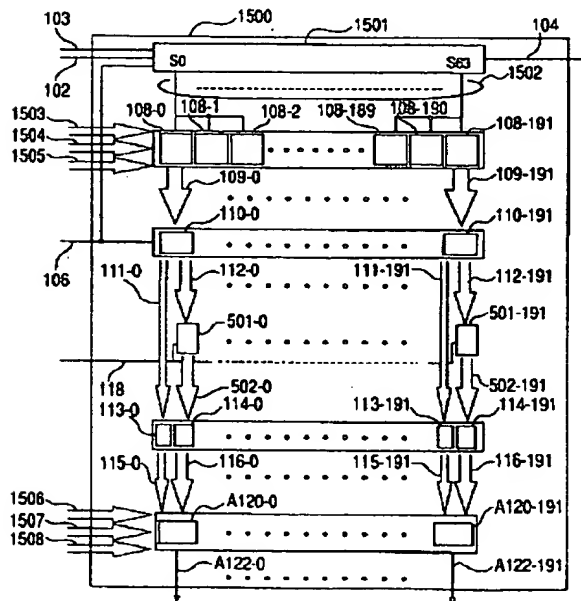
【図30】

図30



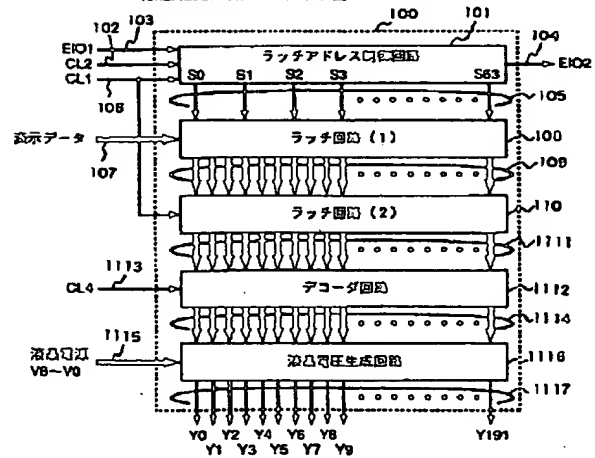
【図31】

図31



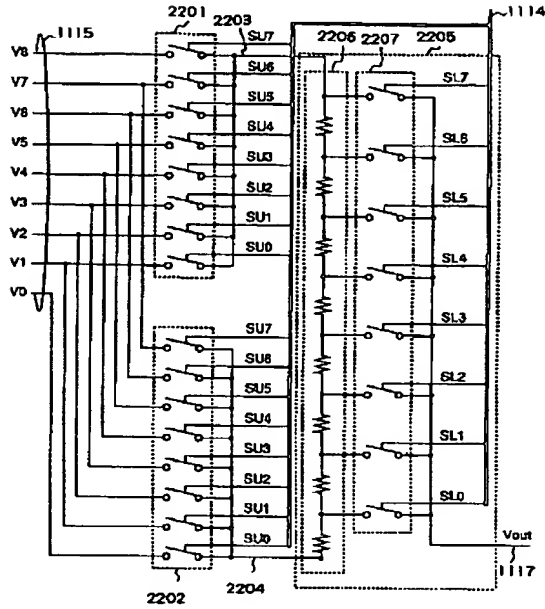
【図32】

液晶駆動回路のブロック図 (図32)



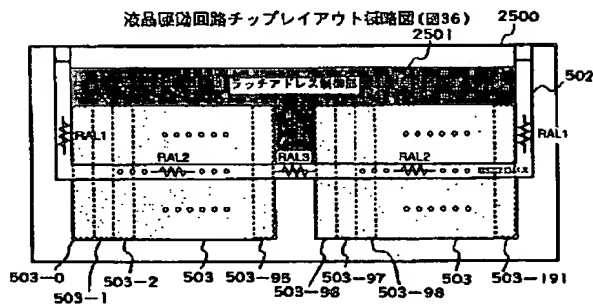
【図33】

液晶Q圧生成回路のブロック図 (図33)



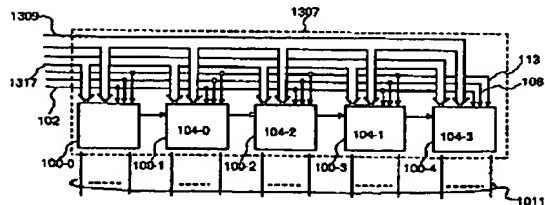
【図36】

液晶駆動回路チップレイアウト図 (図36)



【図45】

上部液晶駆動回路群の構成図 (図45)



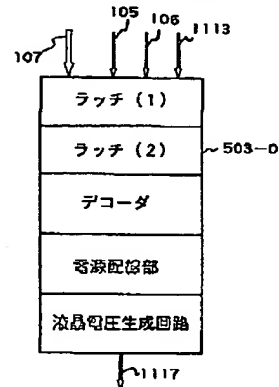
【図35】

制御信号デコード真理値図 (図35)

CL4	ラッチデータ 1111			分圧選択制御信号 1114							
1113	D2	D1	D0	SL7	SL6	SL5	SL4	SL3	SL2	SL1	SL0
0	0	0	0	0	0	0	0	0	0	0	1
	0	0	1	0	0	0	0	0	0	1	0
	0	1	0	0	0	0	0	0	1	0	0
	0	1	1	0	0	0	0	1	0	0	0
	1	0	0	0	0	0	1	0	0	0	0
	1	0	1	0	0	1	0	0	0	0	0
	1	1	0	0	1	0	0	0	0	0	0
	1	1	1	1	0	0	0	0	0	0	0
1	X	X	X	1	0	0	0	0	0	0	0

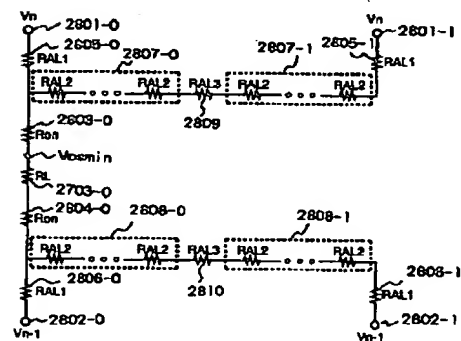
【図37】

出力1系統のレイアウト図 (図37)



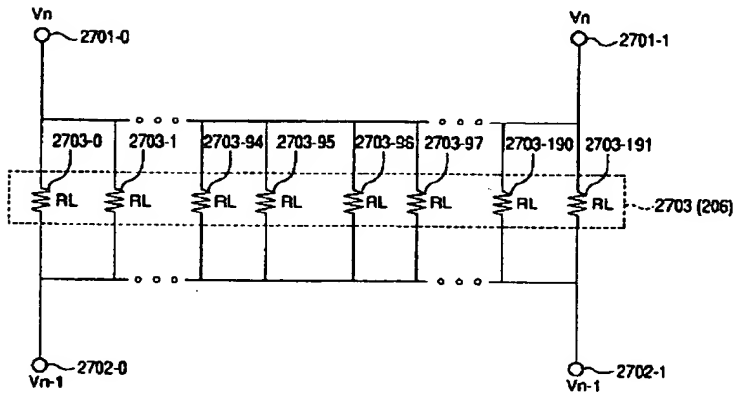
【図40】

液晶Q圧生成回路等価回路 (図40)



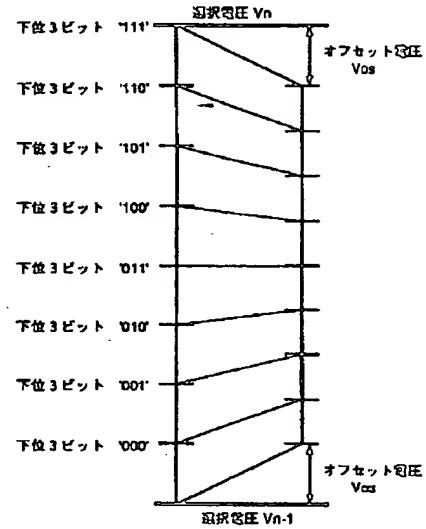
【図38】

液晶圧生成回路等価回路 (図38)



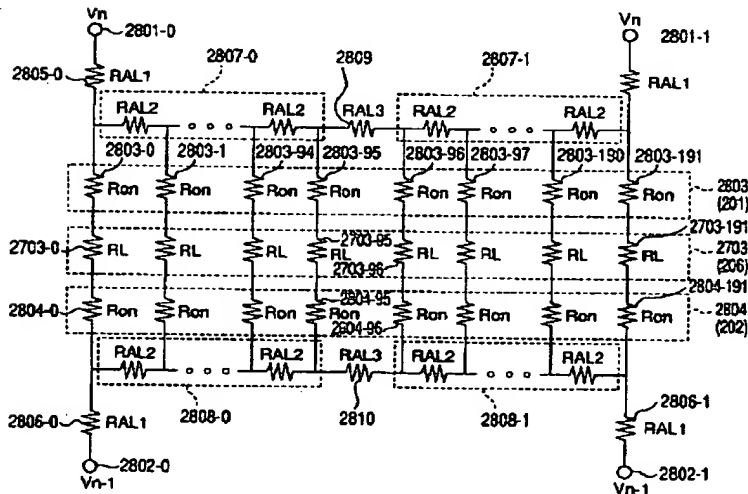
【図41】

オフセット電圧を示す図 (図41)



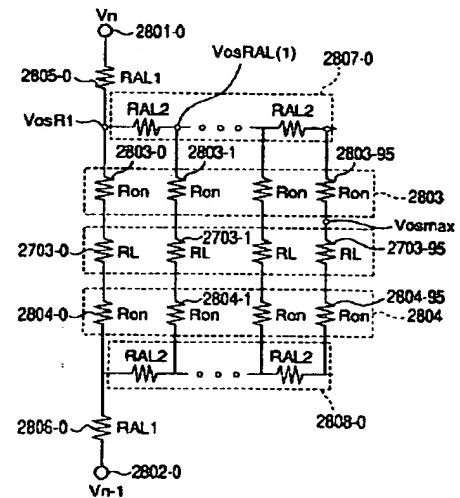
【図39】

液晶圧生成回路等価回路 (図39)



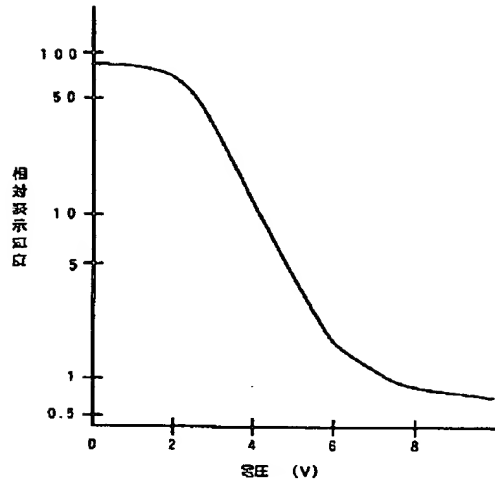
【図43】

オフセット電圧を説明する等価回路 (図43)



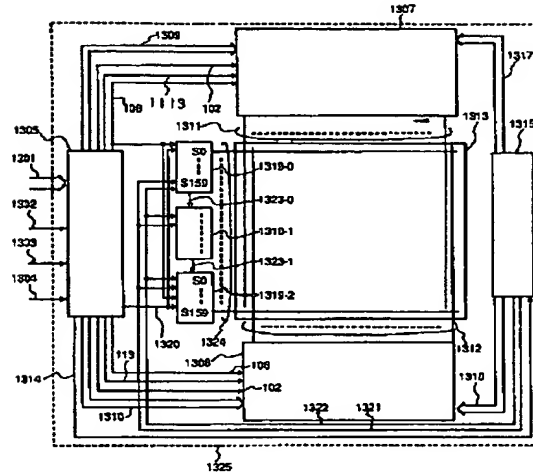
【圖42】

液晶の電圧、温度特性を示す図（図42）



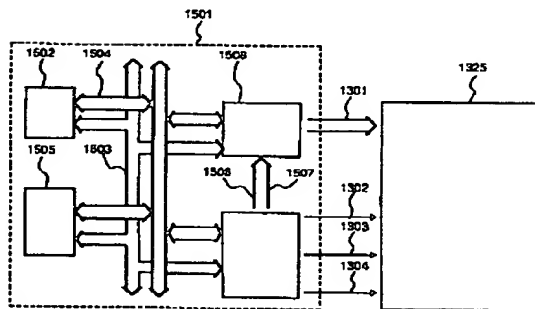
【图 4 4】

液晶表示装置の構成図（図44）



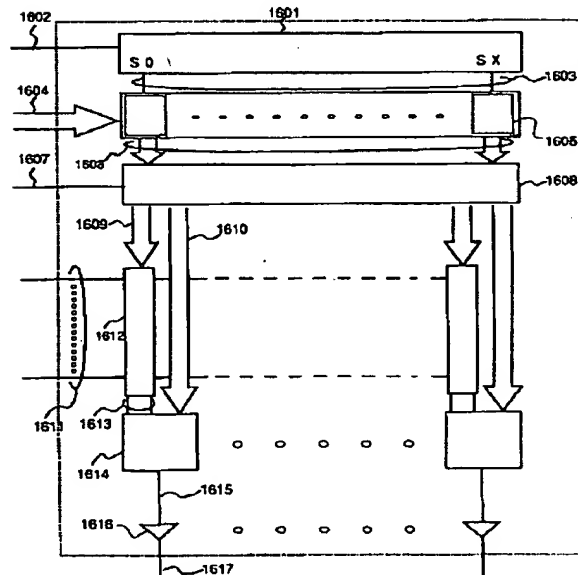
【图 46】

情報処理装置のブロック図 (図46)



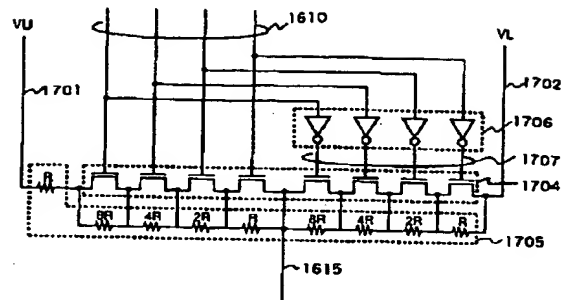
【图 47】

従来のX駆動回路の簡単なブロック図（図47）



【図48】

従来の分圧回路の簡単なブロック図 (図48)



フロントページの続き

(72)発明者 滝田 功
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所マイクロエレクトロニク
 ス機器開発研究所内

(72)発明者 恒川 悟
 東京都小平市上水本町五丁目20番1号 株
 式会社日立製作所半導体事業部内
 (72)発明者 二見 利男
 千葉県茂原市早野3300番地 株式会社日立
 製作所茂原工場内

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第2区分
 【発行日】平成13年1月19日(2001.1.19)

【公開番号】特開平6-348236
 【公開日】平成6年12月22日(1994.12.22)
 【年通号数】公開特許公報6-3483
 【出願番号】特願平5-170647
 【国際特許分類第7版】

G09G 3/36
 G02F 1/133 520
 575

G09G 3/20

【F1】

G09G 3/36
 G02F 1/133 520
 575

G09G 3/20 K

【手続補正書】

【提出日】平成11年12月20日(1999.12.20)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】液晶パネルと、

電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、

表示データを入力されて、表示データに対応した電圧を出力するX駆動回路と、

上記Y駆動回路およびX駆動回路に電圧を供給し、X駆動回路にはn個の電圧を供給する液晶表示用電源とを有し、階調表示を行う液晶表示装置において、

1水平走査期間のうち、第1の期間は、後記する第2の電圧を供給する回路よりも時定数の少ない回路から供給される電圧を第1の電圧として出力することを指示し、第1の期間に続く第2の期間は、第2の電圧を出力することを指示する時間信号を上記X駆動回路に出力する制御信号生成回路を有し、

上記X駆動回路は、

上記液晶表示用電源から供給されるn個の電圧を表示データに対応したm個の電圧($n < m$)に分圧する分圧回路と、

表示データに対応した信号と、上記時間信号とを入力されて、第1の期間は、上記分圧されたm個の電圧を供給する回路のうちから、表示データに対応した電圧を出力する回路の時定数を超えない時定数を有する回路を選択

するように上記表示データに対応した信号を修正して出力し、第2の期間は、上記入力された表示データに対応した信号を出力する信号修正回路と、

上記信号修正回路が出力する表示データに対応した信号を入力されて、上記m個の電圧のうちから上記表示データに対応した信号に従って、電圧を選択して出力する選択回路とを有し、

上記X駆動回路は、上記時間信号を受けて、第1の電圧および第2の電圧を出力することを特徴とする液晶表示装置。

【請求項2】液晶パネルと、

電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、

表示データを入力されて、表示データに対応した電圧を出力するX駆動回路と、

上記Y駆動回路およびX駆動回路に電圧を供給し、X駆動回路にはn個の電圧を供給する液晶表示用電源とを有し、階調表示を行う液晶表示装置において、

1水平走査期間のうち、第1の期間は、後記する第2の電圧を供給する回路よりも時定数の少ない回路から供給される電圧を第1の電圧として出力することを指示し、第1の期間に続く第2の期間は、第2の電圧を出力することを指示する時間信号を上記X駆動回路に出力する制御信号生成回路と、

上記液晶表示用電源から供給されるn個の電圧を表示データに対応したm個の電圧($n < m$)に分圧する分圧回路と、

表示データに対応した信号を入力されて、上記m個の電圧のうちから上記表示データに対応した信号に従って、電圧を選択して出力する選択回路と、

上記時間信号を入力されて、第1の期間は、上記選択回路の出力を抑止して換わりに、上記分圧された m 個の電圧を供給する回路のうちから、表示データに対応した電圧を出力する回路の時定数を越えない時定数を有する回路を選択して出力し、第2の期間は、上記選択回路の出力を抑止しない出力修正回路とを備え、上記時間信号を受けて、第1の電圧および第2の電圧を出力することを特徴とするX駆動回路。

【請求項3】液晶パネルと、電圧を印加する走査線を選択し、選択した走査線に信号を出力するY駆動回路と、表示データを入力されて、表示データに対応した電圧を出力するX駆動回路と、上記Y駆動回路およびX駆動回路に電圧を供給し、X駆動回路には n 個の電圧を供給する液晶表示用電源と、1水平走査期間のうち、第1の期間は、後記する第2の電圧を供給する回路よりも時定数の少ない回路から供給される電圧を第1の電圧として出力することを指示し、第1の期間に続く第2の期間は、第2の電圧を出力することを指示する時間信号を上記X駆動回路に出力する制御信号生成回路とを有し、階調表示を行う液晶表示装置に使われるX駆動回路であって、上記液晶表示用電源から供給される n 個の電圧を表示データに対応した m 個の電圧($n < m$)に分圧する分圧回路と、

表示データに対応した信号と、上記時間信号とを入力されて、第1の期間は、上記分圧された m 個の電圧を供給する回路のうちから、表示データに対応した電圧を出力

する回路の時定数を越えない時定数を有する回路を選択するように上記表示データに対応した信号を修正して出力し、第2の期間は、上記入力された表示データに対応した信号を出力する信号修正回路と、

上記信号修正回路が出力する表示データに対応した信号を入力されて、上記 m 個の電圧のうちから上記表示データに対応した信号に従って、電圧を選択して出力する選択回路とを有し、

上記時間信号を受けて、第1の電圧および第2の電圧を出力することを特徴とするX駆動回路。

【請求項4】請求項3記載のX駆動回路において、上記第1の電圧は、上記液晶表示用電源から供給される n 個の電圧のうちのいずれかであることを特徴とするX駆動回路。

【請求項5】請求項3または4記載のX駆動回路において、

表示データを入力されて、上記 m 個の電圧のうちから表示データに対応した第2の電圧を選択するためのデコード信号を生成するデコード回路を有し、

上記信号修正回路は、上記時間信号を受けて、上記デコード回路の出力を、第1の期間は、あらかじめ定められたデコード信号とし、第2の期間は、表示データに対応したデコード信号とするデコード信号変更回路であり、上記選択回路は、上記変更後のデコード信号を受けて、電圧を出力することを特徴とするX駆動回路。